

ORSAY
Série A, N°

N° d'ordre : 115

THÈSES

présentées

A LA FACULTÉ DES SCIENCES D'ORSAY

UNIVERSITÉ DE PARIS

pour obtenir

Le titre de Docteur - Ingénieur

par

Gérard YON

Ingénieur de l'Ecole Nationale Supérieure des Télécommunications

1^{re} Thèse

CONTROLEUR UNIVERSEL POUR CONCENTRATION
DIFFUSION DE MESSAGES

2^{de} Thèse

Note sur les codes cycliques

Thèses soutenues le 26 Juin 1970 devant la Commission d'Examen

JURY

MM. PICINBONO

Président

DEBRAINE

DONADIEU

}

Examineurs

MICHEL

Invite

ORSAY
Série A, N°

N° d'ordre : 115

THÈSES

présentées

A LA FACULTÉ DES SCIENCES D'ORSAY

UNIVERSITE DE PARIS

pour obtenir

Le titre de Docteur - Ingénieur

par

Gérard YON

Ingénieur de l'Ecole Nationale Supérieure des Télécommunications

1° Thèse

CONTROLEUR UNIVERSEL POUR CONCENTRATION
DIFFUSION DE MESSAGES

2° Thèse

Note sur les codes cycliques

Thèses soutenues le 26 Juin 1970 devant la Commission d'Examen

JURY

MM. PICINBONO

Président

DEBRAINE
DONADIEU

}

Examineurs

MICHEL

Invité

GRS 2.2
Série A. 2
N. 2000 110

GRAND YON



UNIVERSITEIT LEIDEN
BIBLIOTHEEK

1800 110

1800

1800 110
1800 110
1800 110
1800 110

L'étude présentée ici a été développée au service études du département d'électronique industrielle de la Compagnie Française Thomson - Houston - Hotchkiss - Brandt à Chatou (Yvelines). Elle est le fruit d'une collaboration Université-Industrie dont l'intérêt mérite d'être souligné.

Je remercie Messieurs : le Professeur PICINBONO qui a bien voulu présider le Jury de thèse et le Professeur DONADIEU de l'honneur qu'ils me font en acceptant d'examiner cette étude.

Je tiens à exprimer ma profonde gratitude à Monsieur le Professeur DEBRAINE pour l'intérêt qu'il a bien voulu manifester à l'égard de ce travail ainsi que pour l'enseignement de grande valeur qu'il prodigue à l'INSTN.

J'adresse mes plus vifs remerciements aux personnes du Département d'Electronique Industrielle de la CFTH-HB qui ont collaboré à divers titres à ce travail et plus particulièrement à Monsieur MICHEL, Chef du Service Technique du Département, qui m'a dirigé et conseillé dans cette étude avec une compétence technique et humaine remarquable.

Je remercie également Monsieur HELEIN, Chef du Service Applications du Département, ainsi que les personnes de son Service de la collaboration Software efficace qu'ils ont bien voulu m'apporter.

Je tiens enfin à exprimer toute ma reconnaissance à Monsieur NEGUIN, Directeur du Département, qui a bien voulu m'accueillir pendant la durée de cette thèse au titre de stagiaire, puis, très rapidement, au titre d'Ingénieur titulaire.

Que toutes ces personnes trouvent ici l'expression de ma très sincère gratitude.

Le matériel décrit dans cette étude est protégé par un brevet d'invention (PROP 4495, PV n° 161 286 du 31-7-1968 sous le titre : "Perfectionnements aux dispositifs de traitement de lignes associées à un ordinateur, particulièrement aux dispositifs concentrateurs diffuseurs")



Digitized by the Internet Archive
in 2026

https://archive.org/details/IA41553014_0048

Le contrôleur universel pour concentration diffusion de messages décrit dans cette thèse est également appelé, plus brièvement, "contrôleur de lignes (de transmission de données) à mémoire" ou, en abrégé, CLM. Nous verrons, en effet, qu'une des caractéristiques essentielles de ce contrôleur est de posséder un accès direct à une mémoire à tores de ferrite .

S O M M A I R E

- I INTRODUCTION
- II RAPPELS SUR LES TRANSMISSIONS DE DONNEES
- III SPECIFICATIONS FONCTIONNELLES DU CONTROLEUR

DE LIGNES A MEMOIRE
- IV ANNEXES
- V CONCLUSION

I - INTRODUCTION

La transmission des données est désormais un élément essentiel des systèmes de traitement de l'information.

Tout en utilisant les voies de télécommunications classiques, le calculateur a dû s'adapter aux exigences particulières de la transmission de données.

Le contrôleur de lignes à mémoire CLM a été conçu pour répondre à ces besoins nouveaux. Connecté au calculateur THAC 4020 il permet, en spécialisant ce dernier, de répondre aux impératifs des réseaux de distribution des données en assurant au système ainsi réalisé, puissance, souplesse et sécurité dans des conditions économiques remarquables.

Ces qualités s'expliquent par la conception originale du CLM qui repose sur deux données essentielles :

- Traitement des messages au niveau du bit
- Stockage direct des messages dans une mémoire à tores de ferrite sans intervention du calculateur et même sans ralentir l'activité de celui-ci.

Classiquement, les données reçues sur les lignes de transmission sont assemblées en caractères dans des registres hardware avant d'être stockées en mémoire. Afin de conférer au système une adaptabilité quasi universelle et une très grande souplesse, le CLM assemble directement les messages en mémoire bit par bit. La reconstitution des données en caractères et des caractères en tables est assurée par des mots de contrôle en mémoire ferrite qui évoluent à chaque bit reçu et indépendamment pour chaque ligne.

Grâce à ce traitement au niveau du bit, le CLM permet de gérer tous les types de code classiques sans aucune modification hardware. D'autre part ce type de traitement permet une simplification extrême des adaptateurs permettant la connexion des lignes au CLM d'où une sécurité de fonctionnement accrue et un prix extrêmement réduit pour chaque adjonction de ligne.

D'autre part le CLM opère comme un canal d'accès direct à la mémoire, au même titre que le calculateur. L'utilisation comme élément de stockage d'une mémoire à tores de ferrite permet de donner au système dans des conditions économiques remarquables une très grande puissance de travail et une capacité de traitement modulaire en fonction de la taille de la mémoire.

Selon l'option choisie, le CLM peut travailler, en partage de temps avec le calculateur sur un même bloc mémoire, ou au contraire, travailler de façon autonome sur son propre bloc mémoire, sans ralentir le calculateur qui continue à exploiter ses programmes sur un second bloc mémoire. On obtient ainsi un fonctionnement en bi-processeur qui donne au système une puissance de traitement particulièrement grande.

II - RAPPELS SUR LES TRANSMISSIONS DE DONNEES

- II.1 - Lexique des termes principaux utilisés dans ce document
- II.2 - Les moyens de télécommunications au service des transmissions de données et leur exploitation.
- II.3 - Les transmissions de données et l'informatique
- II.4 - Les contrôleurs de lignes de transmission de données
- II.5 - Conclusion

II.1 - Lexique des Termes principaux utilisés dans ce document.

Adaptateur de lignes ? (ou extensions lignes) :

Circuits d'interface permettant la connexion du CLM au réseau de télécommunications selon les normes en vigueur.

ASCII :

American Standard Code for Information Interchange.

Le code ASCII (ou ISO X 3/34) est normalisé par le CCITT sous le nom de code international n° 5.

Baud :

Unité exprimant une vitesse de transmission en bits par seconde.

Bit :

Chiffre binaire (Binary digit). Nous avons adopté cette dénomination très généralisée dans l'industrie.

CCITT :

Comité Consultatif International Télégraphique et Téléphonique.

Code :

- 1) - Soit un ensemble $E = e_1, \dots, e_N$
 - 2) - Soit un ensemble $A = a_1, \dots, a_M$ appelé alphabet
 - 3) - Soit une règle qui associe à tout élément e_i un "mot code" $(e_i) = a_{i1} a_{i2} \dots a_{ik}$ où k est la longueur du mot. L'ensemble des suites finies de termes a_{jk} constitue un ensemble A^*
- Un code est un sous ensemble de A^*

Concentration diffusion :

Technique qui consiste à "concentrer" les messages en provenance de sources diverses, géographiquement dispersées, en vue de les réémettre (ou diffuser) vers d'autres destinataires (éventuellement après traitement et à une vitesse différente).

CLM :

Abréviation de contrôleur de lignes à mémoire.

Contrôleur :

Dispositif contenant tous les circuits logiques chargés d'assurer les échanges du calculateur avec ce qui lui est extérieur.

ISO :

International Standard Organisation.

Message :

Chaque élément e_i de l'ensemble E défini à la rubrique "code" constitue un message. Par extension, on appellera également message une suite d'éléments de E.

THAC 4020 :

Calculateur fabriqué par Thomson Houston sous licence General Electric, et spécialisé pour le traitement des problèmes en temps réel (cycle mémoire : 1,6 μ s; mots de 24 bits; entrées-sorties industrielles; tous périphériques classiques).

Transmission de données :

Branche des télécommunications qui se distingue par le fait que l'information véhiculée est codée, l'unité d'information étant le caractère (ou mot code).

II.2 - Les moyens de télécommunications au service des transmissions de données et leur exploitation.

A l'heure actuelle, le réseau français de télécommunications offre aux utilisateurs, pour leurs besoins en "transmissions de données, trois possibilités:

- Transmissions sur le réseau Télex (50 bauds, avec l'alphabet international n° 2 dit "(Baudot)".
- Transmissions sur le réseau téléphonique commuté (vitesses moyennes - 200 à 600 bauds-avec un taux d'erreur relativement élevé).
- Transmissions sur lignes spécialisées (télégraphiques ou téléphoniques) qui assurent des liaisons permanentes de bonne qualité.

Par ailleurs, l'Administration des PTT développe deux projets:

- . Extension de la vitesse du réseau Télex à 200 bauds.
- . Développement d'un réseau téléphonique commuté spécialisé pour les transmissions de données.
- Selon le type de réseau utilisé (télégraphique ou téléphonique, les signaux à traiter seront, électriquement, de nature différente. Toutefois, les normalisations en vigueur sont suffisamment répandues pour que les circuits d'interface universels puissent résoudre tous les problèmes en télégraphie d'une part, et en téléphonie, d'autre part.

On trouvera en annexe les références des normes en vigueur.

Par ailleurs, il existe, dans chaque transmission un certain nombre de "paramètres" qui caractérisent la liaison établie et dont les nombreuses combinaisons possibles rendent souvent discordantes les solutions adoptées par les divers constructeurs. Parmi ces "paramètres", les principaux sont: les codes de transmission, les procédures de transmission, les procédés de synchronisation.

Codes de transmission

Nous ne considérons ici que les codes basés sur un alphabet binaire $A = (0,1)$.

Parmi les plus répandus nous citerons:

- le code EBCDIC (Code décimal codé binaire étendu mis au Point par IBM) - (8 bits).
- le code DCB (Décimal codé binaire) -IBM (6 bits).
- le code ASCII ou CCITT N°5 ou ISO (7 bits + Parité).
- le code Baudot ou CCITT N°2, plus ancien, utilisé en télégraphie, qui possède 32 combinaisons (5 bits) mais avec une possibilité de doubler le nombre des combinaisons par utilisation d'un code d'inversion "chiffre-lettres"- (analogie avec l'utilisation d'une touche majuscule sur une machine à écrire).

Ces deux derniers codes sont de loin les plus répandus, le code CCITT N°5 étant appelé à se généraliser.

On trouvera leur description en annexe.

Procédures de transmission.

Différents constructeurs ont mis au point des procédures correspondant à différents types d'exploitation. Ces procédures définissent les formats des messages transmis, les modes d'établissement d'une liaison (connexion), ou de rupture d'une liaison (déconnexion), les procédés d'accusé de réception et de répétition...

Nous citons en annexe quelques unes de ces procédures que nous avons examinées pour assurer leur compatibilité avec le CLM.

Procédé de détection et de correction d'erreur.

Le mode de détection le plus banal mais bien souvent suffisant est le contrôle de parité du caractère. Il est éventuellement complété par un caractère de contrôle de parité longitudinale contrôlant la parité des bits de même ordre des caractères d'un bloc du message.

On utilise également très souvent le contrôle par code cyclique qui présente l'avantage de ne pas être un contrôle au niveau du caractère, contrôle qui ne permet pas, en général, de réaliser une transparence complète de la transmission.

On verra cependant que cette transparence qui permet la transmission de séquences binaires quelconques - programmes d'ordinateurs par exemple - sans utilisation d'un code de transmission, est réalisé dans le CLM.

Procédés de synchronisation.

En télégraphie et, aux faibles vitesses, en téléphonie, on synchronise les messages par l'utilisation de moments "START" (0 logique) et "STOP" encadrant tous les codes des caractères transmis (1 logique) (mode de transmission asynchrone).

En téléphonie, on utilise le plus souvent un mode de transmission dit synchrone qui repose sur la reconnaissance d'une séquence de caractères spéciaux dits "SYNCHROS" successifs. Après cette séquence les caractères se suivent sans séparation jusqu'à la fin du message. Dans certaines procédures des caractères de synchro sont insérés dans le message à intervalle réguliers (Mode BSC) - Binary Synchronous Communications - de IBM -

Conclusion du paragraphe II.2

Bien que des normalisations intéressantes semblent se généraliser, on constate encore une grande disparité dans les moyens utilisés dans la transmission des données.

Ainsi que nous allons le voir, le CLM a été conçu de façon à résoudre les problèmes posés par ces disparités. C'est en cela que nous pensons pouvoir le qualifier de contrôleur "universel".

II.3 - Les transmissions de données de l'informatique.

L'informatique tend à devenir un élément fondamental dans l'organisation d'un pays ou d'une entreprise nationale ou multinationale. Par ailleurs, les nécessités évidentes de la décentralisation font évoluer les administrations et les entreprises vers une structure comportant un noyau central et des centres géographiquement dispersés.

Dans une telle structure, une gestion centralisée reste, par contre, absolument nécessaire. D'où un échange d'information considérable entre l'ensemble informatique du noyau central et les divers centres: états des stocks et des approvisionnements, données comptables, états du personnel, états des comptes clients...

Nous n'insisterons pas sur ces faits économiques sous peine de tomber dans la banalité. Cependant, en dehors de ces structures classiques, il faut signaler les réseaux de transmission de données qui se créent autour d'une structure décentralisée, à l'origine;

- organisme de réservation de places de train, d'avions, d'hôtel....
- réseaux d'assurances.
- réseaux de magasins à succursales multiples.
- réseaux de time-sharing

La "téléinformatique" qui fait la synthèse de l'informatique et des transmissions de données répond à ces nouveaux besoins.

II.4 - Les contrôleurs de lignes de transmission de données.

Le problème à résoudre est de réaliser le couplage d'un nombre élevé de lignes utilisant des codes, des procédures, des vitesses différentes.

Dans la solution retenue, il faudra avoir en tête un certain nombre d'objectifs:

- 1/ Assurer au système une très grande souplesse d'adaptation.

En effet, dans un domaine où les standardisations sont encore peu figées, il est indispensable d'assurer l'adaptabilité du système pour éviter son obsolescence anticipée. Le contrôleur ne doit donc pas être trop lié aux procédures et aux codes en vigueur.

- 2/ Soulager le calculateur des tâches spécifiques de contrôle des transmissions.

Le contrôleur doit pour cela, prendre en charge la mise en forme des messages, l'établissement de la synchronisation, les contrôles de parité, la reconnaissance des caractères spéciaux de communication....

- 3/ Garder la possibilité de transmissions avec "transparence".

Cette caractéristique fondamentale permet en effet de transmettre des séquences binaires, en faisant abstraction du codage par caractères. Cela paraît évidemment contradictoire avec l'utilisation de procédures précises et de contrôles de validité. Nous verrons au chapitre III que le CLM trouve une solution à ce problème.

- 4/ Assurer un débit global élevé.

Il est évidemment important d'assurer un rythme de transaction suffisamment élevé pour rentabiliser l'ensemble informatique utilisé. Il faut donner au système un potentiel d'extension suffisant pour faire face aux besoins futurs,, et cela, sans immobiliser le système lors d'adjonction de lignes ou pour des changements de procédures.

- 5/ Conférer au système une très grande fiabilité.

Le nombre élevé de lignes connectées dans un tel système nécessite une fiabilité particulièrement grande.

Les matériels classiques connus à l'heure actuelle semblent ne pas répondre simultanément aux cinq critères ci-dessus.

On trouve, par exemple, des contrôleurs transparents qui jouent un simple rôle de multiplexeurs et ne répondent pas aux exigences du critère 2. On trouve également des contrôleurs à une seule procédure, mais ceux-ci ne satisfont pas les critères 1 et 3.

Nous allons voir maintenant comment ces cinq critères qui ont guidé cette étude ont conduit à la réalisation du CLM. Toutefois, nous signalerons ici que nous pensons qu'une autre solution séduisante à ce type de problème réside dans l'utilisation d'un petit calculateur microprogrammé connecté directement au calculateur principal ou à sa mémoire et suffisamment performant pour que sa saturation ne soit pas trop vite atteinte.

II.5 - CONCLUSION

L'examen des critères exposés précédemment a conduit à concevoir un contrôleur original dont les caractéristiques principales sont les suivantes:

- 1/ - Traitement des messages au niveau du bit (en non du caractère).

Ce type de traitement assure une souplesse totale vis-à-vis des codes ou des procédures (critère 1) car celles-ci sont définies, non par câblage mais par l'intermédiaire de mots de contrôle chargés en mémoire comme des programmes. Cela permet également la transparence (critère 3) et contribue à assurer une grande fiabilité par simplification des organes de stockage et de multiplexage qui traitent 1 seul bit (et non 1 caractère de plusieurs bits) à la fois.

- 2/ - Rangement direct des bits reçus dans la mémoire même du calculateur.

Cette méthode soulage évidemment le calculateur et simplifie l'interface du calculateur avec le contrôleur (critère 2). Elle permet en outre d'atteindre des débits élevés, le cycle mémoire ferrite étant très rapide (critère 4).

contrôleur de lignes à mémoire-

RÉVISIONS

[illegible]

Spécifications fonctionnelles pour

4 EI FS 4202

cont

page

2

1

contrôleur de lignes à mémoire-

Titre du document

Numéro du document

Numéro de la page
qui continue le document

Numéro de la page

DESCRIPTION DU DOCUMENT UTILISÉ

Nom du rédacteur
Date de la première
rédaction

Indices des révisions du
document (date de révision
précisée en page de garde)

Fait par

G. YON

approuvé par

REV

A

4 EI FS 4202

cont

page

2

1

le

03/07/1969

S O M M A I R E

I.	<u>INTRODUCTION ET CARACTERISTIQUES GENERALES</u>	pages	5
II.	<u>ORGANISATION DU C.L.M.</u>		12
	II.1. <u>Mémoire</u>		12
	II.2. <u>Générateur d'adresses à priorités (schéma 3)</u>		15
	II.3. <u>Unité de Contrôle</u>		20
	II.3.1. Horloge		22
	II.3.2. Circuits de contrôle de temps (schémas 5 à 8)		22
	II.3.3. Registre Y		27
	II.3.4. Registre Z		28
	II.3.5. Registre C		29
	II.3.6. Multiplexeur de Registres		30
	II.3.7. Sélecteur d'adresses		30
	II.3.8. Flip Flops de fonctions		30
	II.4. <u>Multiplexeur</u>		39
	II.5. <u>Adaptateurs de lignes (extensions lignes)</u>		39
	II.5.1. Mise en forme		40
	II.5.2. Synchronisation		40
	II.5.3. Stockage		41
III.	<u>PROCEDURES</u>		43
	III.1. <u>Format des mots de Contrôle</u>		44

G.YON

approuvé par

REV

A

B

4 EI FS 4202

3

page
2

03/07/69

III.2. <u>Rangement des Caractères</u>	pages 61
III.3. <u>Organisation des Tables</u>	64
III.4. <u>Contrôle et Génération de la parité</u>	65
III.5. <u>Synchronisation</u>	67
III.5.1. Réception synchrone	67
III.5.1.1. Cas du roulement	68
III.5.1.2. Cas du caractère de synchro permanent	69
III.5.1.3. Modem avec détection de porteuse	70
III.5.2. Emission Synchrone	71
III.5.2.1. Cas du roulement	71
III.5.2.2. Cas du caractère de synchro permanent	71
III.5.3. Réception asynchrone	72
III.5.4. Emission asynchrone	73
III.5.5. Exploitation des bits M et S	75
III.6. <u>Décodage des caractères - Modes et Actions</u>	79
III.6.1. Définitions	79
III.6.2. Caractères décodés	81
III.6.3. Critères d'action	82
III.7. <u>Mots de Statut</u>	85
III.7.1. Structure	85
III.7.1.1. Réception	85
III.7.1.2. Emission	87
III.7.2. Adresse	87
III.7.3. Exploitation	88

fait par

G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont

4

page

3

03/07/69

IV.	<u>PERFORMANCES</u>	pages	89
IV. 1	<u>Evaluation des taux d'occupation de la mémoire par le CLM</u>		89
IV. 2	<u>Taux d'occupation de la mémoire de concentration diffusion du CLM par le calculateur</u>		93
IV. 3	<u>Débit hlobal moyen d'un CLM</u>		94
V.	<u>CONSOLE ET PROCEDURES DE TEST</u>		98
V. 1	<u>Présentation</u>		98
V. 2	<u>Procédures de Test</u>		99
V. 2. 1	Test hardware		99
V. 2. 2	Test software		101
VI.	<u>TECHNOLOGIE ET PRESENTATION MECANIQUE</u>		111
VI. 1	<u>Composants</u>		111
VI. 1. 1	Circuits intégrés		111
VI. 1. 2	Composants divers		112
VI. 1. 3	Circuits imprimés		112
VI. 2	<u>Format des cartes</u>		113
VI. 3	<u>Présentation mécanique</u>		115
VI. 3. 1	Panier logiqueCLM		115
VI. 3. 2	Support de connecteurs		115
VI. 3. 3	Support de carte de visualisation		116

Schéma 1

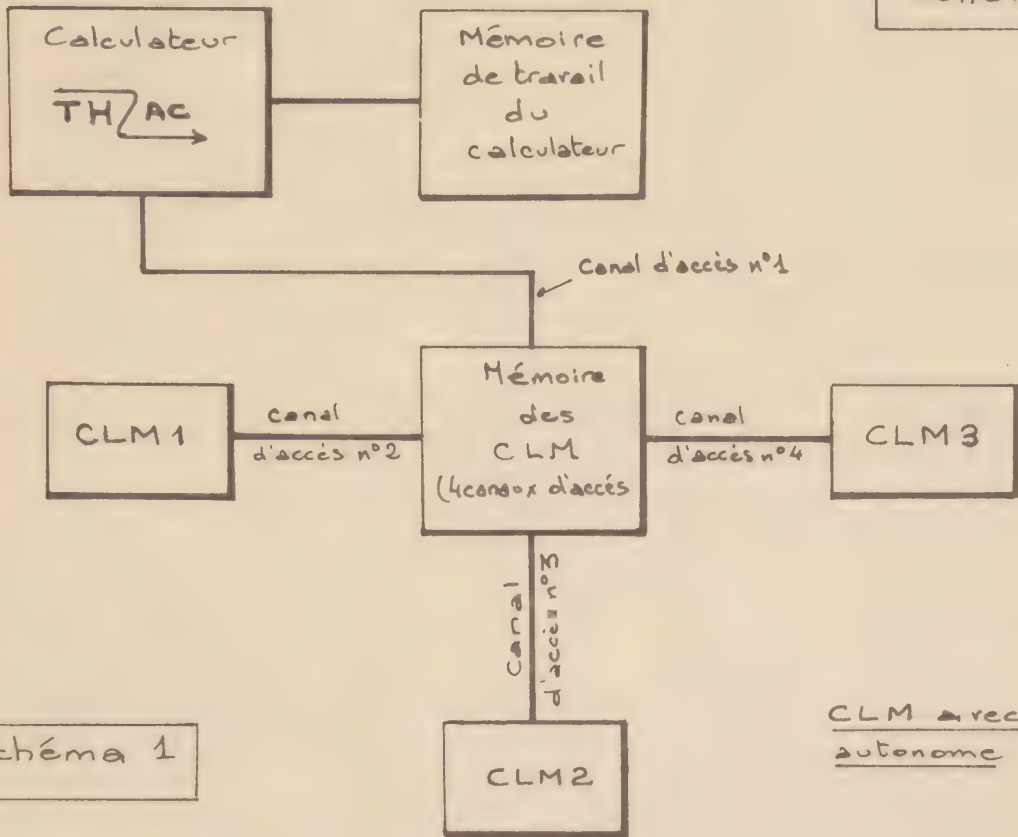
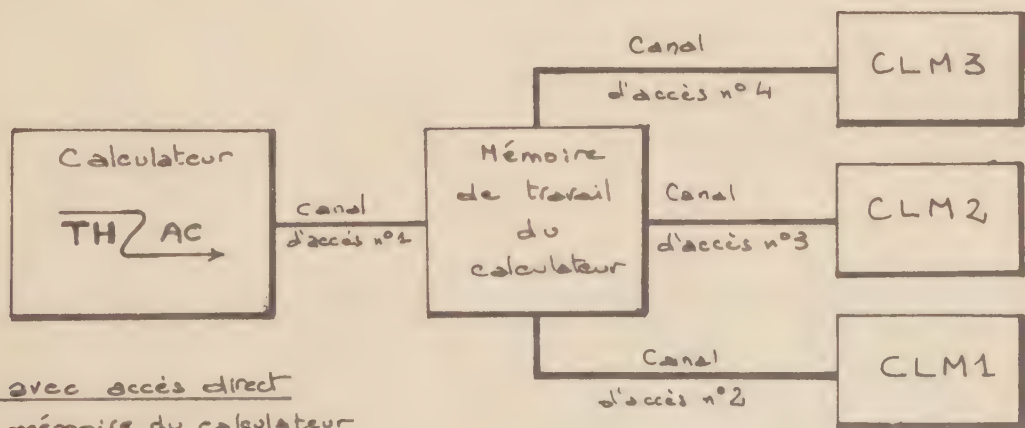


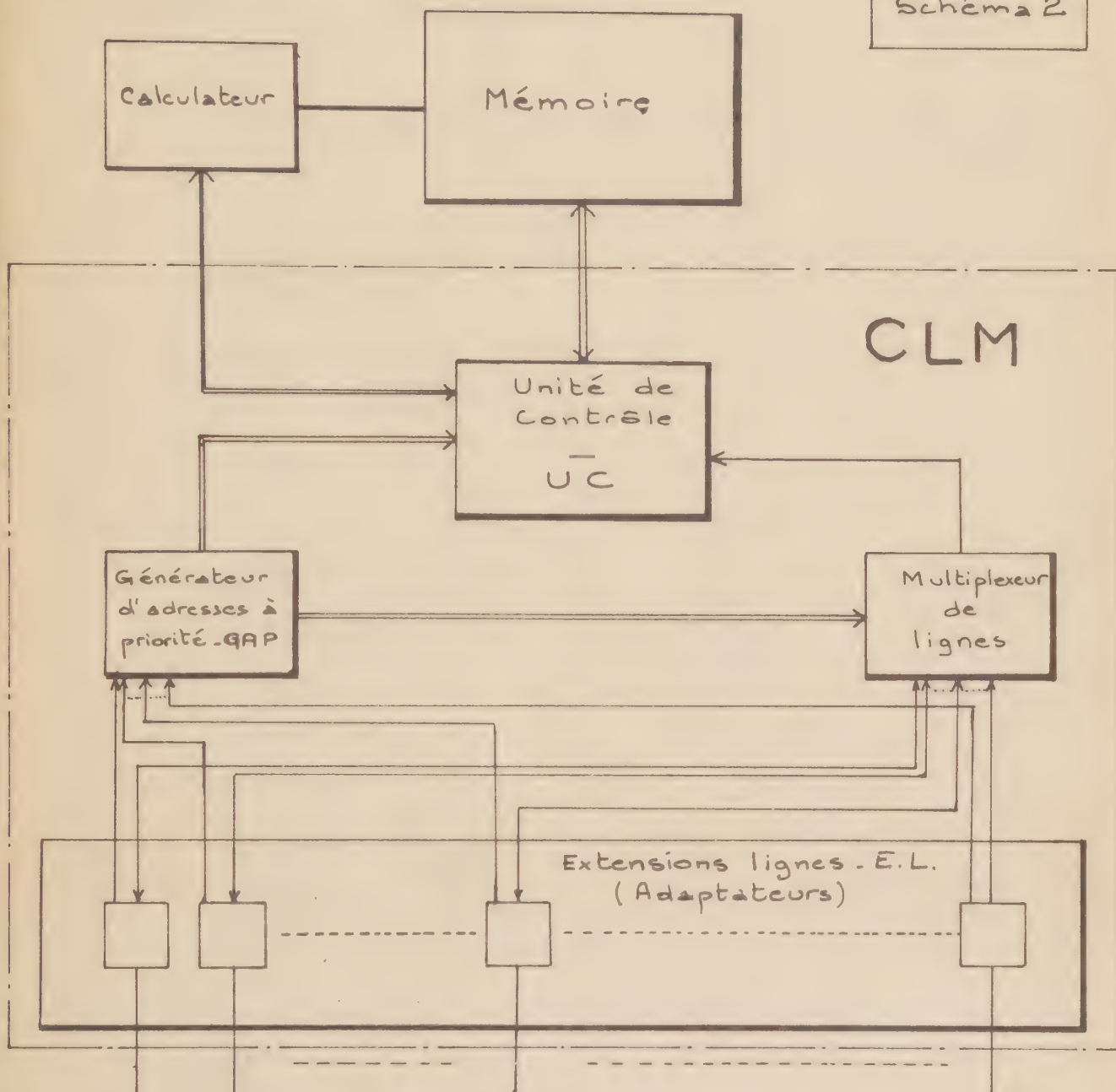
Schéma 1

CLM avec mémoire autonome



CLM avec accès direct à la mémoire du calculateur

Schéma 2



Interface télégraphique ou modem - lignes Emission ou Réception

CARACTERISTIQUES GENERALES.

L'ensemble défini par cette spécification est conçu et réalisé pour être connecté à un calculateur de type THAC 4000, bien que, par son principe, il ait une vocation plus universelle

Les unités réalisées répondront donc aux caractéristiques générales suivantes :

MEMOIRE DU CONTROLEUR.

Type	accès sélectif
Capacité maximum	16 384 mots
Capacité minimum	4 096 mots
Temps de cycle	1,6 μ s
Mode	parallèle
Test erreur	parité impaire
Structure du mot :	
Nombre de bits	25
Format	24 bits de données + 1 parité
Multiplexeur mémoire	4 canaux

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire-

4 EI FS 4202

cont	page
10	9

Unité de contrôle

Format des mots	24 Bits
Nombre de registres	3
Adressage	direct

Générateur d'adresse à priorités

Nombre maximum de points	128
Nombre minimum de points	8
Addition de points par	8
Niveaux de priorités	128
Temps de réponse hardware	0,5 μ s
Instruction d'inhibition	ILI (25000305)
Instruction de permission	PLI (25000307)
Registre de masque	

Nbre de positions max.	32
Nbre de positions min.	0
Charger les positions 1 à 16	LML1 (25000303)
17 à 32	LML2 (25000301)

Multiplexeur

Nombre de lignes réception max:	104
Nombre de lignes émission max :	
téléphonique	20**
télégraphique	124

*Dans l'ensemble de ce document, on entend par "ligne" un canal de transmission univoque.

**Cette limitation peut être levée par adjonction d'une mécanique de support de prises modem.

Fait par G. YON

approuvé par

REV

A

C

4 EI FS 4202

cont	page
10	9

03/07/1968

B

Spécifications fonctionnelles pour contrôleur de lignes à mémoire-	4 EI FS 4202	cont	page
		11	10

Extensions lignes

Types de cartes : Réception asynchrone (RA)
 Réception synchrone (RS)
 Emission télégraphique (EG)
 Emission téléphonique (EP).

Nombre de lignes par cartes :

RA 2 x 2 lignes à la même vitesse
 RS 4 lignes indépendantes
 EG 4 lignes indépendantes
 EP 4 lignes indépendantes

Fréquences utilisables :

Transmissions télégraphiques :

50, 75, 100, 110, 150 et 200 bauds

Transmissions téléphoniques :

Toutes fréquences selon modem utilisé

Interfaces :

Télégraphique vers carte télégraphique
 Téléphonique vers modem selon les normes
 CCITT- Avis V 24 - Voir page 38.1

Interchangeabilité :

Toutes les cartes de type RA, RS, EG, EP sont interchangeables sans modification du câblage du C.L.M, à condition de respecter les contraintes définies dans le document 4 EIRO 4202.

fait par G. YON	approuvé par	REV	A	C	4 EI FS 4202	cont	page
			B			11	10
03/07/1968							

II ORGANISATION DU CLM

II-1 Mémoire

La mémoire à accès aléatoire utilisée a un cycle $1,6 \mu s$. Le cycle mémoire est le temps nécessaire à lire et à la fois ré-écrire un mot de 24 bits.

Les méthodes d'adressage utilisées permettent l'utilisation de mémoire de 4.096, 8.192, 12 288 ou 16 384 mots.*

Chaque mot mémoire est constitué de 25 bits dont 1 sert au contrôle de parité. Ce bit de parité est généré avant l'écriture en mémoire et il est testé après lecture. L'erreur de parité est détectée par hardware et cette détection arme une bascule "erreur de parité".

Adressage

L'adressage de la mémoire par l'UC est de type "direct" : les 14 bits (0 à 13) les moins significatifs du mot de contrôle permettent d'adresser 16 384 mots, sans aucune modification de cette zone d'adresse.

* Note :

Bien entendu le calculateur peut posséder d'autres blocs mémoires auxquels le CLM n'a pas accès.

Spécifications fonctionnelles pour contrôleur de lignes à mémoire

4EI FS 4202

cont
14

page
13

Adresses réservées

Ce sont les adresses des mots qui sont destinés à un usage bien déterminé. Ainsi les mots de contrôle et les mots de statut ont une place fixe en mémoire.

Ainsi dans un bloc de 2 K mots d'adresse origine 0000₈ les mots de contrôle et de statut occupent les adresses :

000₈ }
à
777₈ } Mot de contrôle des 128 lignes

1000₈ }
1177₈ } Mot de statut des 128 lignes

On peut, par un câblage optionnel, choisir au début de quel bloc de 1 K de la mémoire du CLM se situeront les mots de contrôle et de statut.

G. YON

approuvé par

REV

A

C

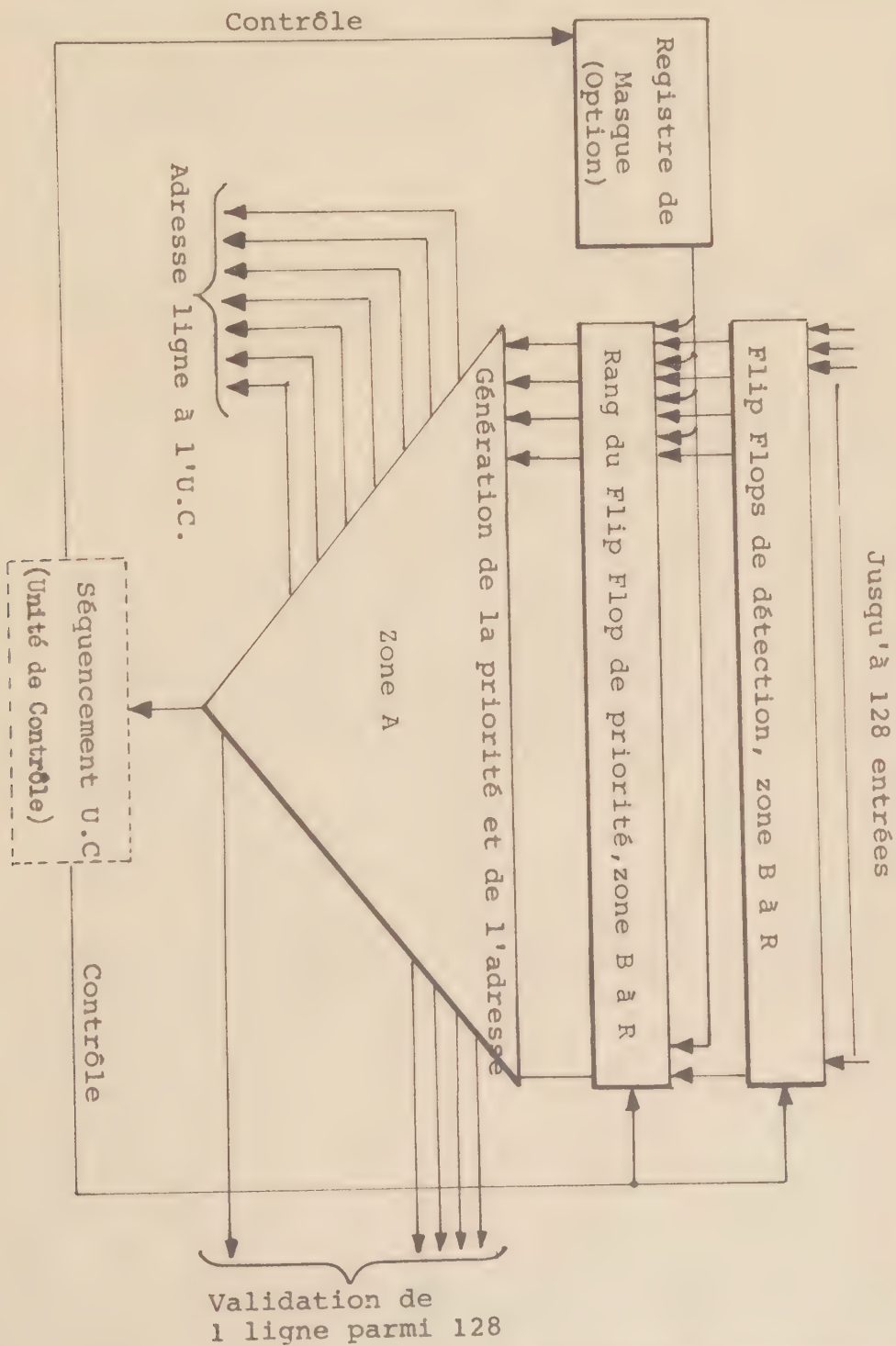
B

4EI FS 4202

cont
14

page
13

03/07/1968



II-2

Générateur d'adresses à priorités (schéma3)

A chaque ligne du contrôleur de lignes est associée une Adresse fixe. Cette adresse est également celle du mot de contrôle correspondant à cette ligne.

De plus, à chaque ligne est associée un niveau de priorité qui permet de hiérarchiser les accès de chaque ligne à l'unité de contrôle. Ainsi, si plusieurs demandes interviennent simultanément sur diverses lignes, c'est celle dont le niveau de priorité est le plus élevé qui obtiendra l'accès à l'unité de contrôle.

Le dispositif chargé d'élaborer l'adresse de la ligne qui, à un instant donné, a le niveau de priorité le plus élevé, est le générateur d'adresses à priorités (GAP).

A un instant donné, le GAP examine les demandes qui lui sont faites par les diverses lignes. Il élabore l'adresse de la ligne de priorité la plus élevée. Le traitement relatif à cette ligne commence alors et ne peut pas être interrompu. Pendant ce temps, le GAP enregistre les demandes qui lui sont faites. A la fin du traitement, le GAP est libéré et examine quelle est, parmi toutes les demandes enregistrées (par des bascules), celle qui provient de la ligne de niveau de priorité la plus élevée. Le processus reprend alors.

ELABORATION DE L'ADRESSE-

Le GAP peut recevoir de 8 à 128 lignes (chaque extension se faisant par groupes de 8).

L'adresse créée par le GAP pour chacune des 128 lignes est comprise entre 000₈ et 177₈. Cette adresse apparaît en sortie du GAP sur 7₈ fils.

G. YON

Approuvé par

REV

A

B

4EI FS 4202

cont	page
16	15

03/07/1968

Or, la gestion de chaque ligne nécessite 4 mots de contrôle, C0, C1, C2, C3 situés l'un à la suite de l'autre en mémoire.

Ainsi les deux bits de bas poids de l'adresse de chacun de ces mots seront respectivement :

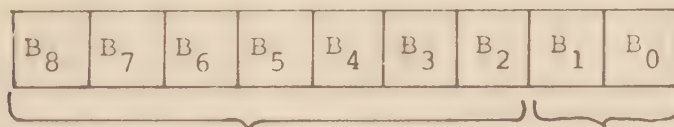
Pour C0 : $B_1 B_0 = 00_2$

Pour C1 : $B_1 B_0 = 01_2$

Pour C2 : $B_1 B_0 = 10_2$

Pour C3 : $B_1 B_0 = 11_2$

et on réalisera l'adresse complète de ces mots par concaténation avec 7 bits fournis par le GAP et indiquant l'adresse du groupe de 4 mots de contrôle associés à la ligne prioritaire :



Adresse fournie sur 7 fils
par le GAP

Bits élaborés en fonction
du mot de contrôle considéré à un instant donné.

Au début du traitement relatif à une ligne,
 $B_1 = B_0 = 0$ et le mot C0 est toujours le premier appelé.

G. YON

approuvé par

REV

A

B

4 EI FS 4202

17

page

16

03/07/1968

Spécifications fonctionnelles pour contrôleur de lignes à mémoire	4 EI FS 4202	cont 19	page 18

Ces bascules (associées chacune à une ligne déterminée) sont groupées par ensembles de 8, puis de 16.

Au sein de chaque ensemble, la ligne de priorité la plus élevée est déterminée.

Puis, on recherche quel est l'ensemble de priorité la plus élevée parmi tous les ensembles au sein desquels une ligne prioritaire a été choisie.

L'adresse élaborée est celle de la ligne prioritaire de l'ensemble prioritaire.

La bascule associée à la ligne qui a reçu la priorité est remise à zéro et, à la fin du "temps de service" qui lui est accordée, l'UC fournit un nouvel ordre de libération du GAP et le processus recommence.

Le GAP fournit également un décodage en 1 fil parmi 128 qui permet de valider l'adaptateur (ou "extension ligne") de la ligne en cours de traitement. Ce dispositif préexistant par nature dans le GAP fournit l'adresse de l'adaptateur sans nécessiter un décodage compliqué.

Fait par G. YON	approuvé par	REV	A				4 EI FS 4202	cont 19	page 18
03/07/1968			B						

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire

4 EI FS 4202

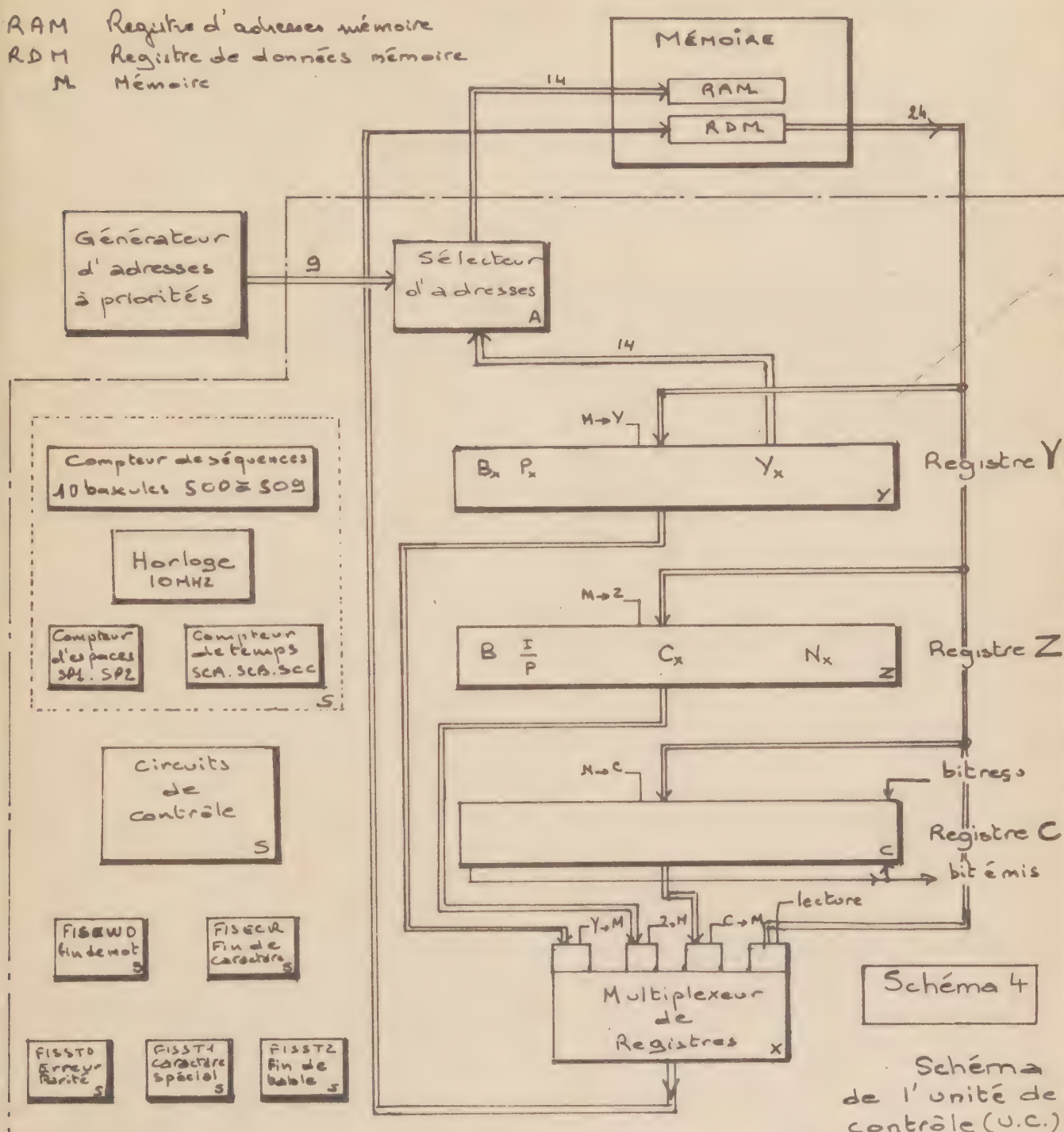
cont

page

20

19

RAM Registre d'adresses mémoire
RDM Registre de données mémoire
M Mémoire



Fait par

G. YON

approuvé par

REV

A

C

4 EI FS 4202

cont

page

20

19

03/07/I968

II-3

Unité de contrôle

L'unité de contrôle (schéma 4) contient des éléments tels que compteurs, registres, circuits de contrôle, flip-flops, décodeurs.

Les compteurs sont utilisés dans les opérations de glissement (à gauche) des registres et pour les opérations de contrôle.

Les registres stockent les instructions de contrôle et les données émises ou reçues, au moment du traitement.

Les circuits de contrôle assurent le déroulement des séquences d'exécution.

Les flip-flops jouent un rôle de mémoire temporaire élémentaire.

Les décodeurs assurent la reconnaissance d'un certain nombre de caractères nécessaires au traitement des données.

Les principales opérations réalisées dans l'unité de contrôle (UC) sont les suivantes :

- Appel et modification du ou des mots de contrôle associés à la ligne qui a reçu la priorité (registre Y et Z).
- Appel du mot courant pour stockage ou émission d'un nouveau bit (registre C).
- Glissement éventuel de ce mot courant pour créer des espaces entre caractères.
- Elaboration des bits de parité des caractères émis.

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire-

4 EI FS 4202

cont	page
22	21

- Test des bits de parité de chaque caractère reçu dans le cas d'un code avec parité, le bit de parité n'étant pas stocké.
- Retournement des caractères par groupes de 8bits
- Reconnaissance de certains caractères spéciaux et déclenchement, suivant le caractère reconnu, d'actions préétablies par un mode de fonctionnement.
- Mise à jour d'un mot de statut chargé de conserver l'une ou plusieurs des informations suivantes : erreur de parité, table mémoire pleine ou vide, reconnaissance de certains caractères spéciaux. La modification du mot de statut d'une ligne engendre un signal d'interruption de programme pour le calculateur.
- Etablissement de la synchronisation caractère (reconnaissance des caractères de synchro, émission et réception sans stockage des bits de stop et de start).
- Restockage en mémoire du contenu des registres après modifications et libération du GAP pour la prise en charge de la ligne suivante.

Fait par
G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont	page
22	21

le 03/07/1968

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire-

4 EI FS 4202

cont
24

page
23

Diagramme de temps des séquences S01, S02, S03 sans
espace, S04, S05, S06, S07, S08, S09.

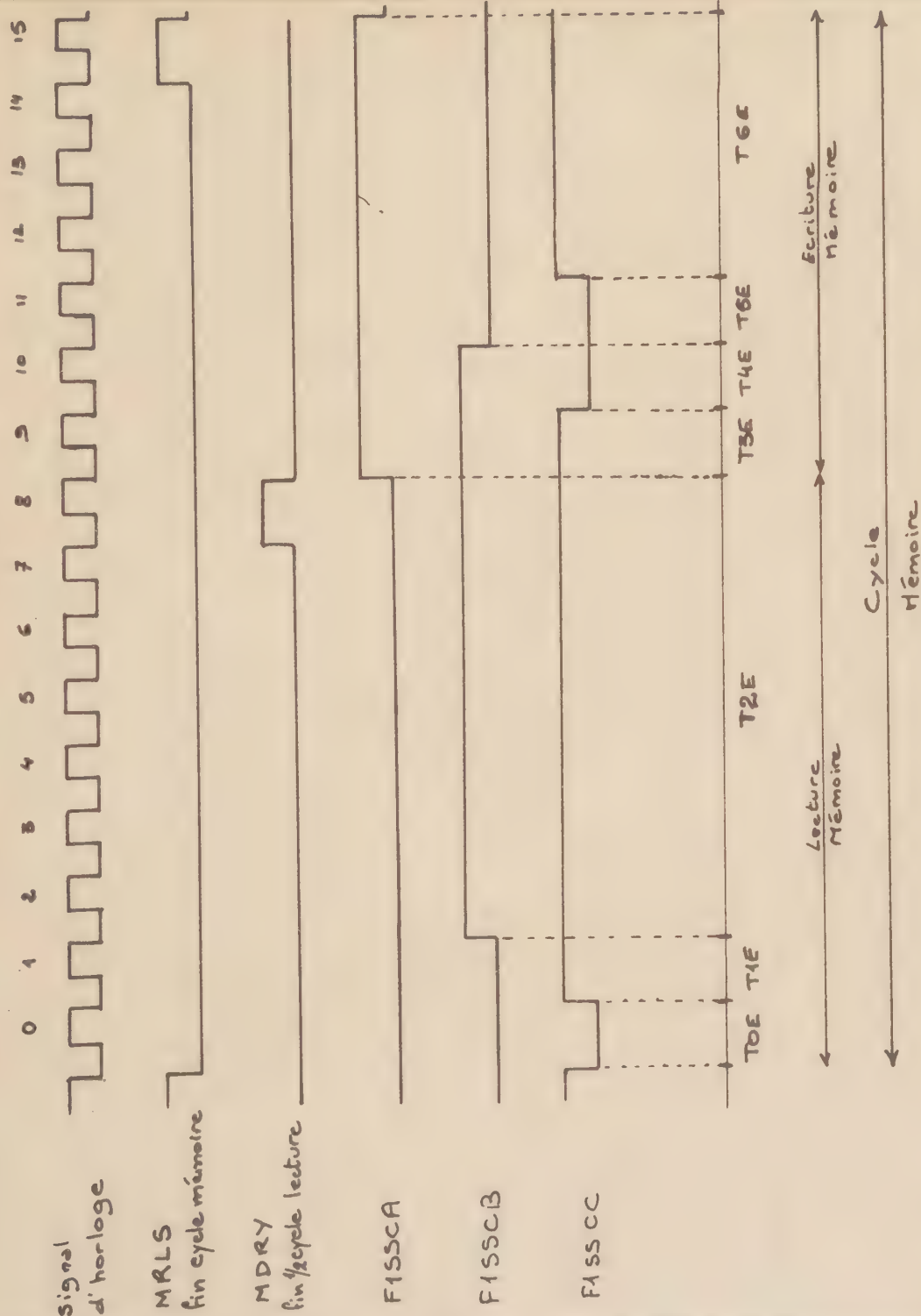


Schéma 5

Fait par

G. YON

approuvé par

REV

A
B

4 EI FS 4202

cont
24

page
23

10

03/07/I968

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire-

4 EI FS 4202

cont

25

page

24

Diagramme de la séquence 3 avec l'espace

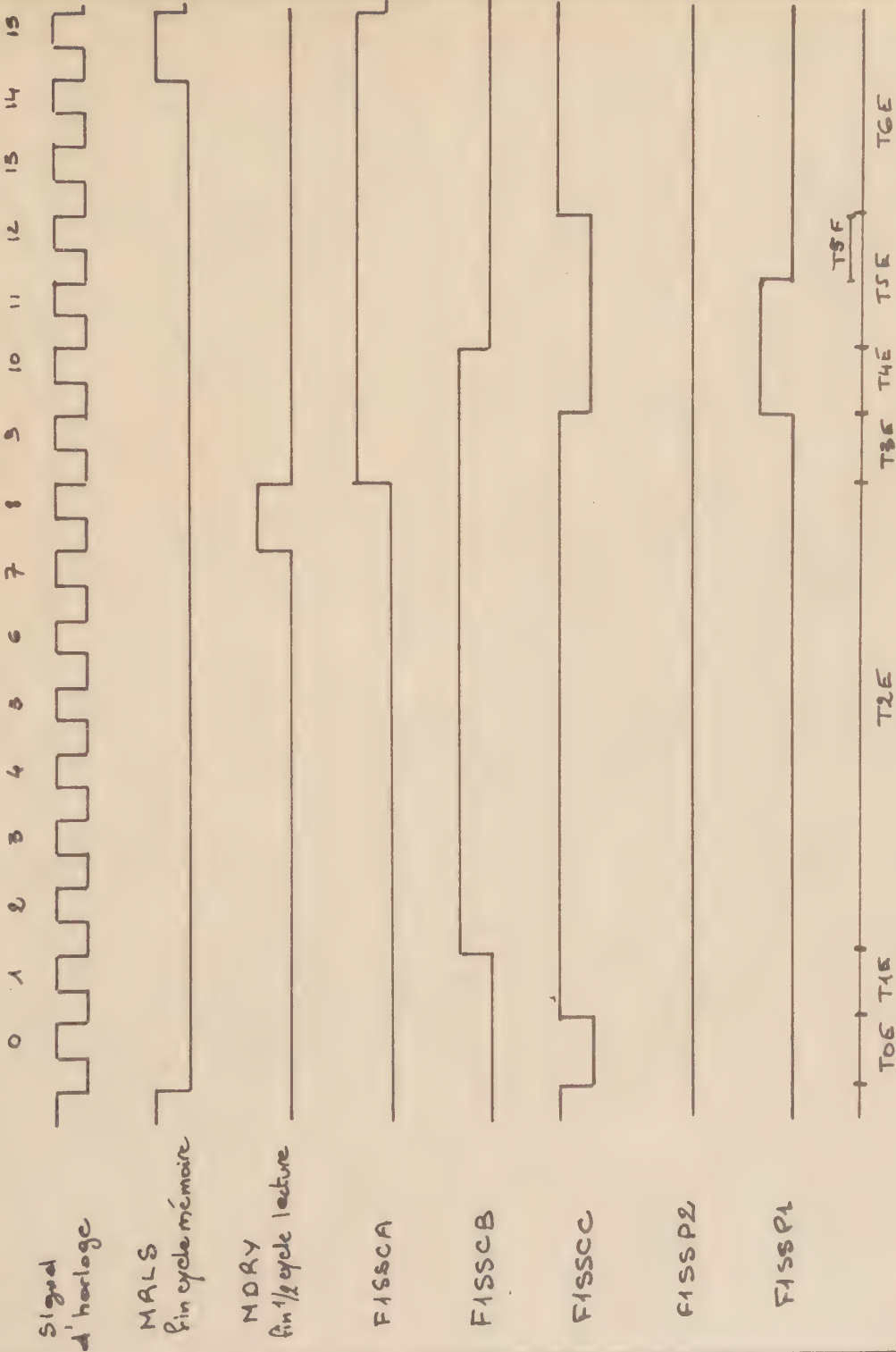


Schéma 6

Fait par
G. YON

approuvé par

03/07/1968

REV

A

C

4 EI FS 4202

cont

25

page

24

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire -

4 EI FS 4202

cont
26

page
25

Diagramme de la séquence 3 avec 2 espaces

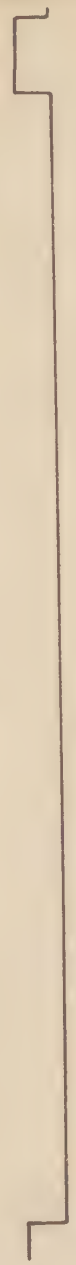
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

Signal
d'horloge



MRLS

fin cycle mémoire



MORY

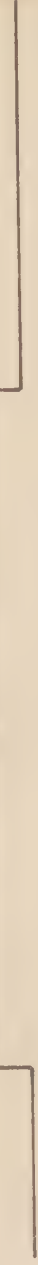
fin 1/2 cycle lecture



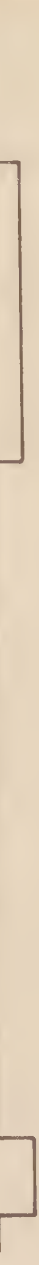
F1SSCA



F1SSCB



F1SSCC



F1SSP2



F1SSP1



↑
temps étendu de
2 temps d'horloge
(2 espaces)

Schéma 7

Fait par

G. YON

approuvé par

REV

A

C

B

4 EI FS 4202

cont
26

page
25

03/07/I968

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire-

4 EI FS 4202

cont
27

page
26

Diagramme de la séquence 3 avec 3 espaces

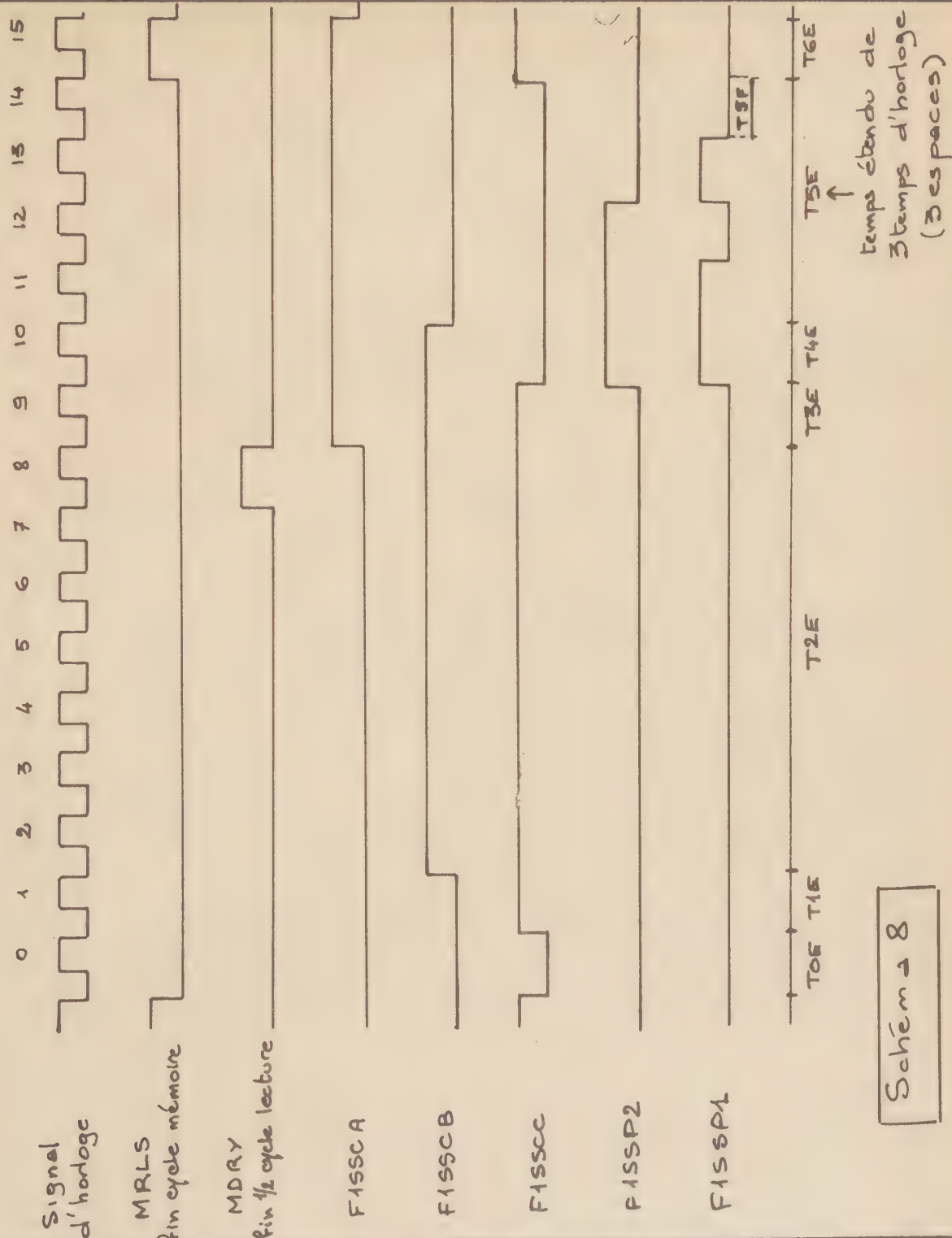


Schéma 8

Fait par
G. YON

03/07/1968

REV	A	C		
	B			

4 EI FS 4202

cont
27

page
26

II-3-3

REGISTRE Y

Le registre Y est un registre de 24 bits dit
"premier registre de contrôle" qui assure le stockage
du mot de contrôle CO.

Entrées :

- les bits Y 23 à Y 19 reçoivent en parallèle les bits
Z 23 à Z 19 (entrées doubles)

Sorties :

- les bits Y 23 à Y 20 sortent vers un détecteur qui
arme une bascule fin de caractère FISECR (quand
Bx = 00₈) (sorties simples).
- les bits Y 19 et Y 18 sortent vers une bascule
d'erreur de parité (FISSTO) (Sortie simple).
- les bits Y 13 à Y 00 sortent vers le sélecteur d'adres-
ses (sorties simples) et vers C13 à C00 (sorties doubles)

Fonctions :

- la zone Y 23 - Y 20 (Bx) fonctionne en compteur.
- la zone Y 13 - Y 00 (Yx) fonctionne en compteur.
- les bits Y 19 fonctionne en bascule d'addition modulo 2.
- les bits Y 18 à Y 14 sont des indicateurs.

fait par	approuvé par	REV	A	C			4 EI FS 4202	cont	page
G. YON								28	27
03/07/1968			B						

Spécifications fonctionnelles pour contrôleur de lignes à mémoire-	4 EIFS 4202	cont 29	page 28

II-3-4

REGISTRE Z

Le registre Z est un registre 24 bits dit "second registre de contrôle" qui assure le stockage du second mot de contrôle (C1).

Entrées :

- les bits Z15 et Z14 reçoivent en parallèle les bits Z 13 et Z 12

Sorties :

- les bits Z 23 et Z 19 sortent en parallèle vers les bits Y 23 à Y 19 (sorties doubles).
- les bits Z 18 et Z 17 sortent vers le compteur de décalage (sorties doubles).
- les bits Z 13 et Z 12 sortent vers les bits Z 5 et Z 14 (sorties doubles).
- les bits Z 08 à Z00 sortent vers le décodeur de fin de table GIS ET B.
- les bits Z 11 à Z 09 sortent vers le décodeur de caractères spéciaux (sorties simples).
- les bits Z15 et Z14 sortent vers C15 et C14 (sorties doubles)

Fonctions :

- les bits Z 23 à Z 14 et Z 11 à Z 09 sont des indicateurs
- les bits Z 13 et Z 12 (zone Cx) fonctionnent en décomp-
teur.
- les bits Z 08 à Z 00 (zone Nx) fonctionnent en décomp-
teur.

fait par G. YON	approuvé par	REV	A	C			4 EI FS 4202	cont 29	page 28
03/07/1968			B						

F 1 SST1 : flip flop de caractère spécial : mis à "1" si la matrice de détection a reconnu un caractère spécial.

F 1 SST2 : flip flop de fin de table : mis à "1" quand $N_x = 000_8$. Il sort vers le bit 21 du mot de statut.

La mise à "1" de l'un de ces 3 flip flops provoque l'armement du flip flop S09 qui engendre une interruption de programme et le passage par une séquence de statut.

Flip Flop de fin de mot (FISEWD)

Indique la fin de mot.

Il est mis à 1 par :

- le passage de C_x par la valeur 1_8
- la détection d'un caractère spécial dont l'action est l'incrémentation de Y_x .

COMPTEUR DE DECALAGE (F1 SSP1 & F1 SSP2)

Ce compteur permet de réaliser des décalages du registre C.

Fonctions : comptage des impulsions de décalage à gauche pour réaliser des espaces entre caractères,

Nature : compteur 2 bits

Entrées : ce compteur reçoit les bits Z 18 & Z 17 (espaces)

Sorties : vers une porte qui valide le décalage du registre C vers la gauche.

DECODEUR DE CARACTERES SPECIAUX

Le décodeur détecte la réception de certains caractères qui doivent, selon le mode de fonctionnement choisi, provoquer une ou plusieurs actions- (voir paragraphe III-6-).

Dix-huit caractères peuvent, au maximum être décodés dont dix sont choisis et déterminés par un câblage wrapping optionnel. Les caractères :

SYN, SOH, STX, EOT des codes ASCII-ISO et EBCDIC sont toujours décodés.

Enfin, deux portes permettent de décoder l'ensemble des caractères spéciaux des codes ASCII-ISO et EBCDIC sauf six d'entre eux qui peuvent, optionnellement, être soustraits de cet ensemble.

On définira au paragraphe III-6 les différentes actions provoquées par la reconnaissance des caractères spéciaux.

REGISTRE C

C07	C06	C05	C04	C03	C02	C01	C00
-----	-----	-----	-----	-----	-----	-----	-----

Décodeur de
Caractères *

20 caractères
décodés

REGISTRE Z

Z11	Z10	Z09
-----	-----	-----

Décodeur de
Modes

8 modes
décodés

Génération des actions selon les caractères
reconnus et les modes de fonctionnement choisis.*

8 Actions
(Voir paragraphe III-6)

* Câblage optionnel partiel.

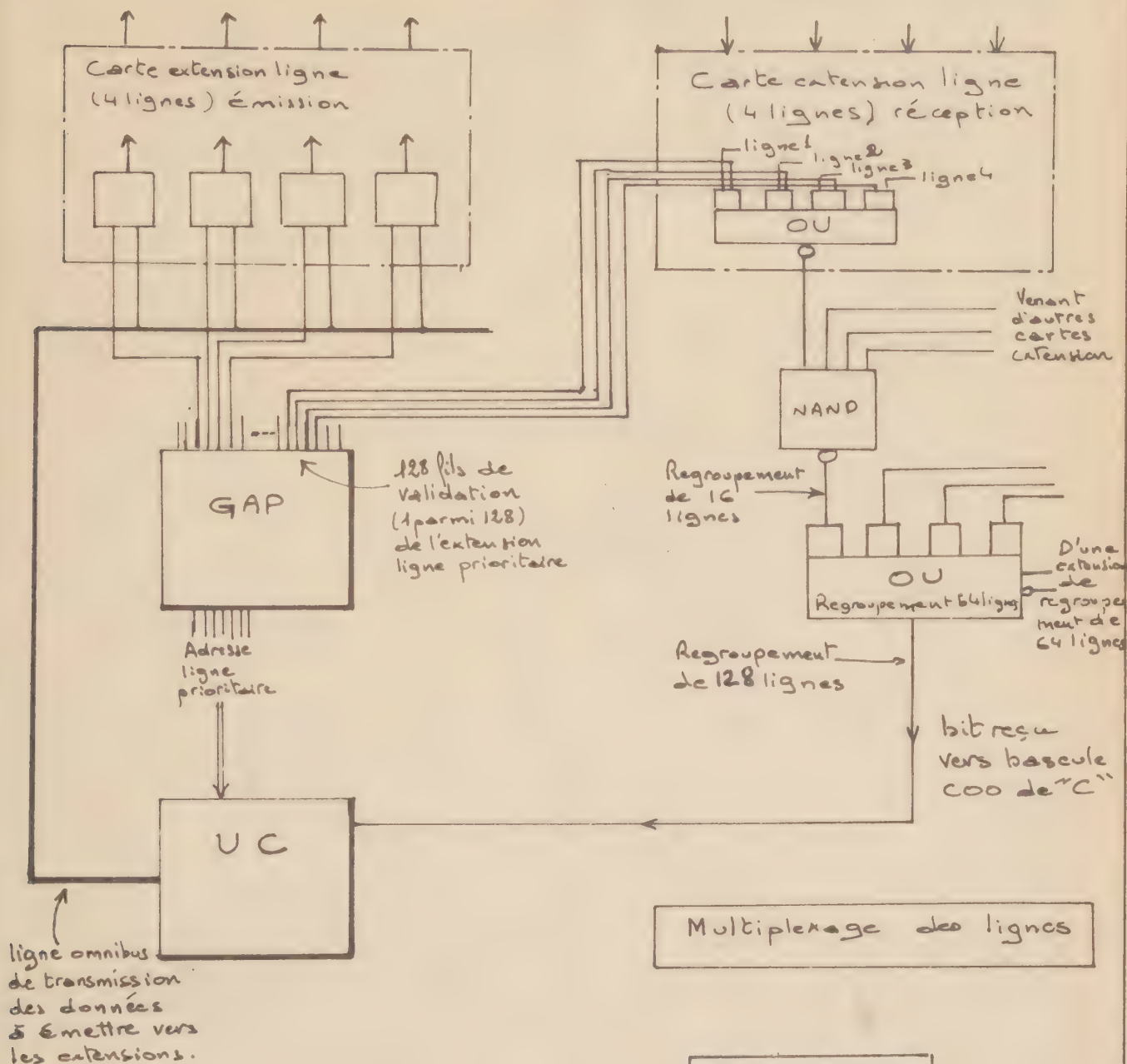
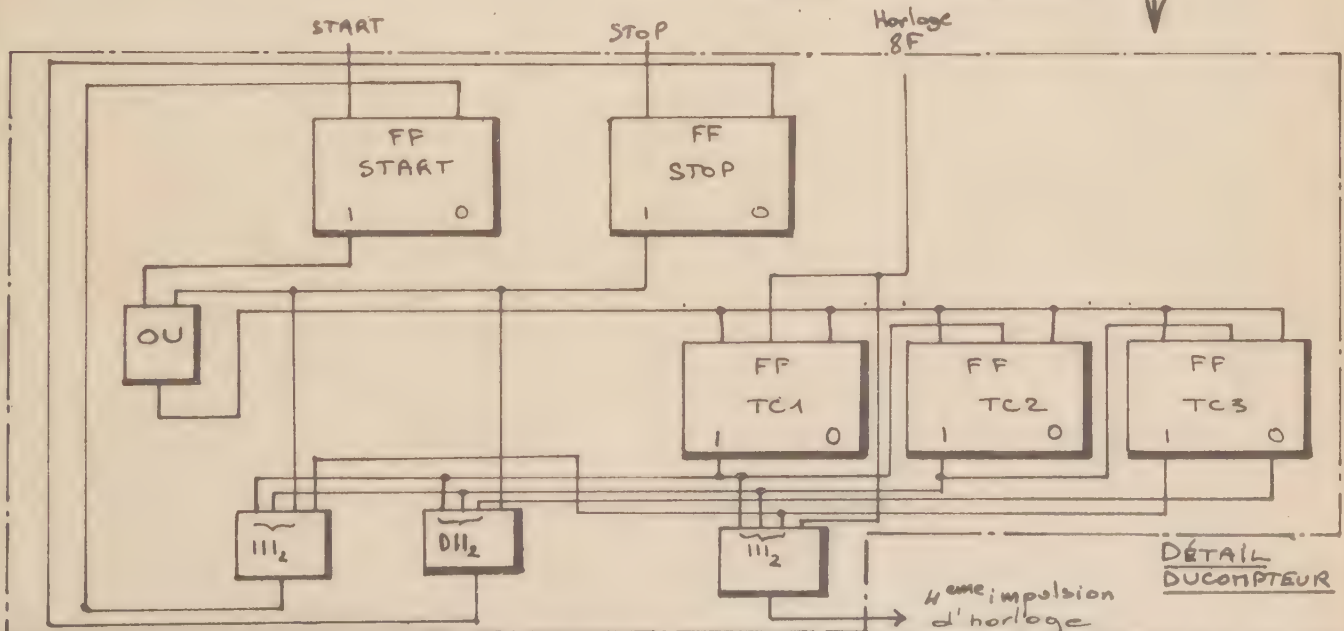
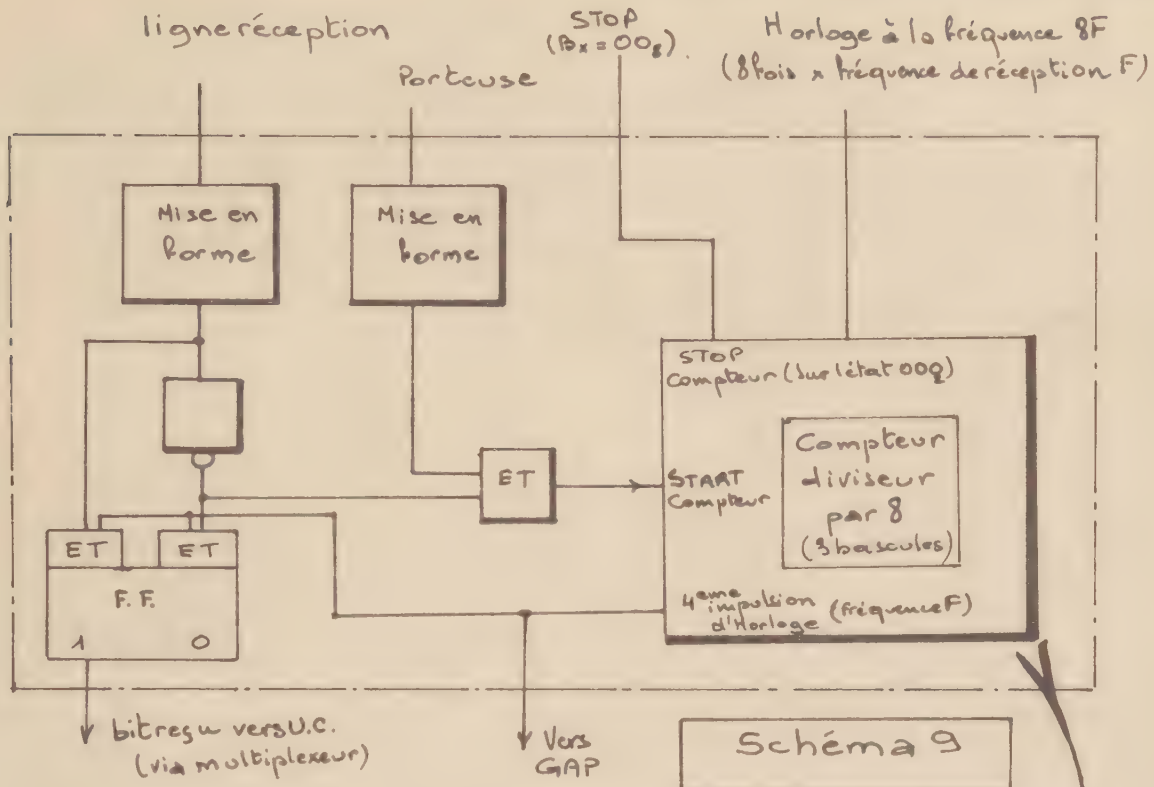


Schéma 8.1

EXTENSION RÉCEPTION ASYNCHRONE



de lignes à mémoire-

EXTENSION RECEPTION SYNCHRONES

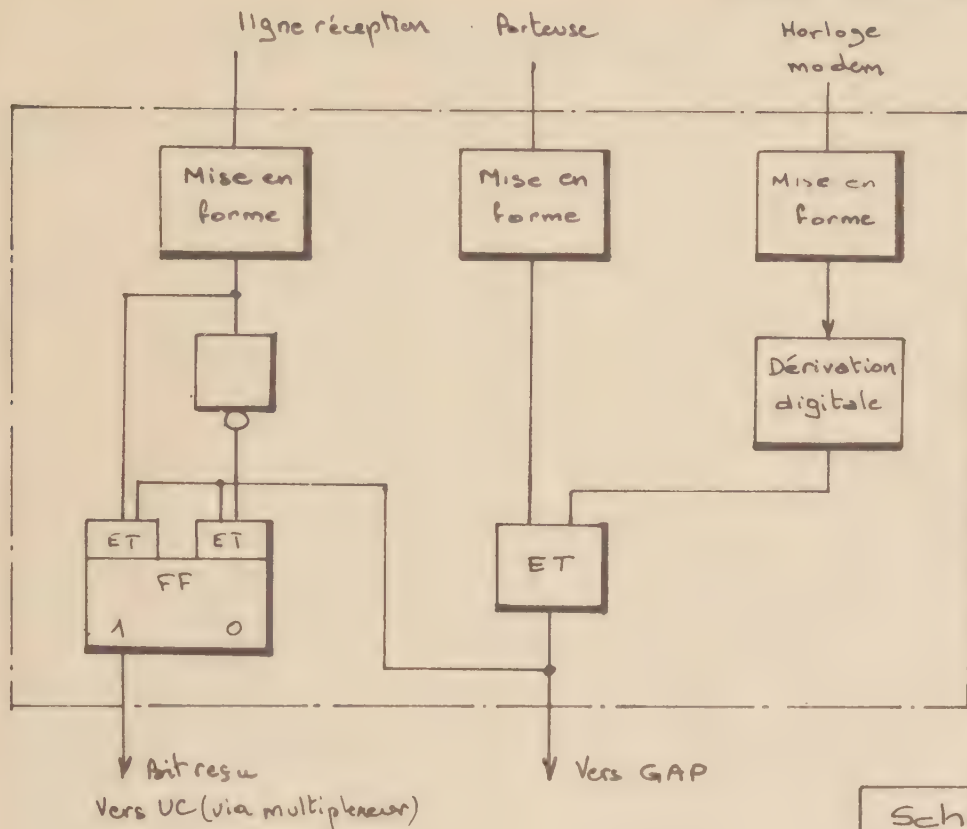


Schéma 10

Fait par G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont
37

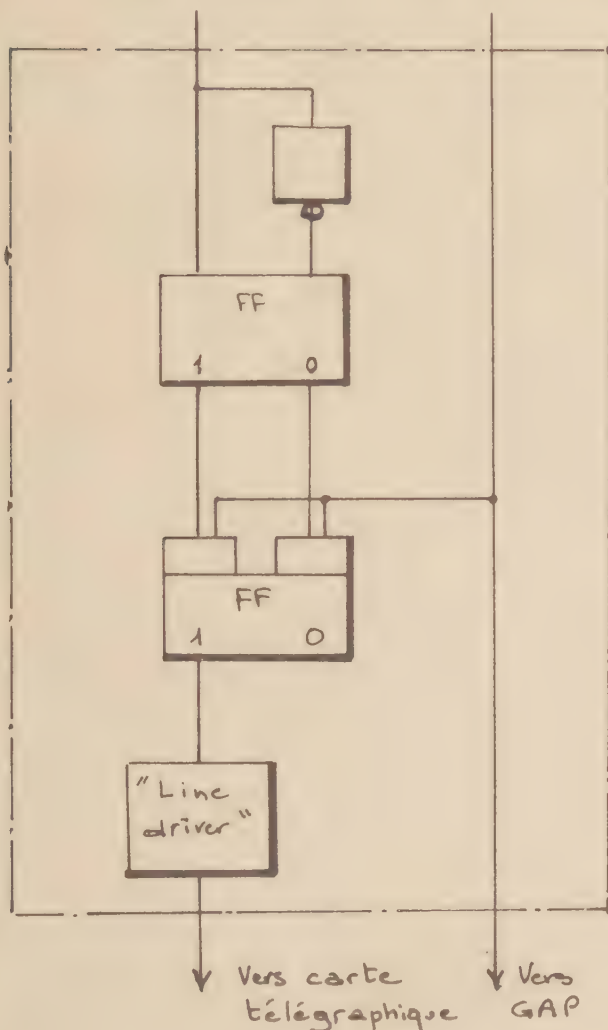
page
36

03/07/1968

EXTENSION ÉMISSION TÉLÉGRAPHIQUE

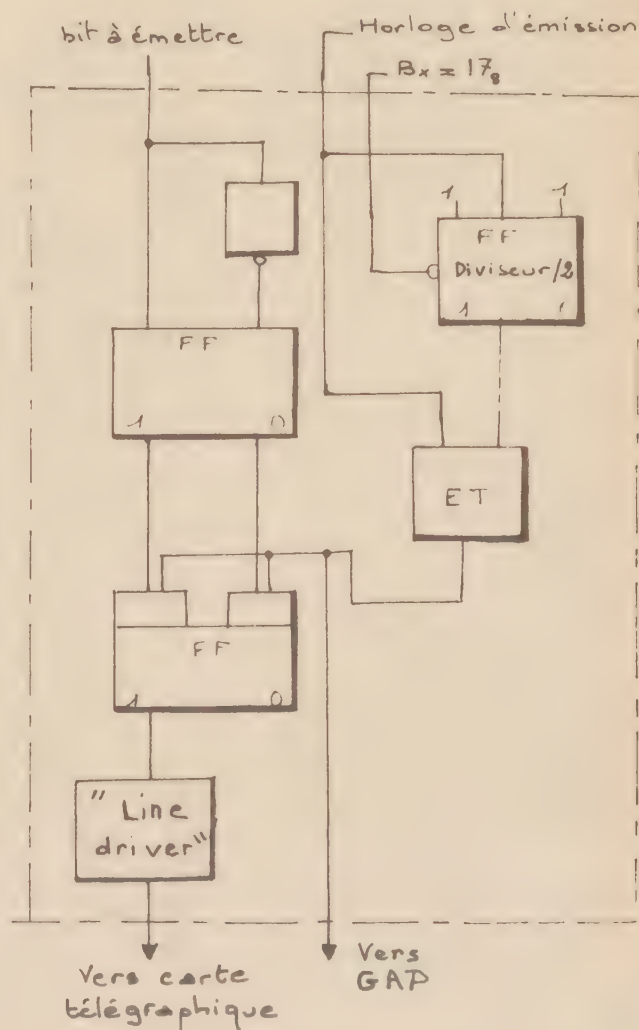
bit à émettre

Horloge d'émission



11a. Télégraphie 2"stops"

Schéma 11



11b. Télégraphie 1,5"stop"

Fait par

G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont

page

38

37

le 03/07/1968

EXTENSION ÉMISSION TÉLÉPHONIQUE

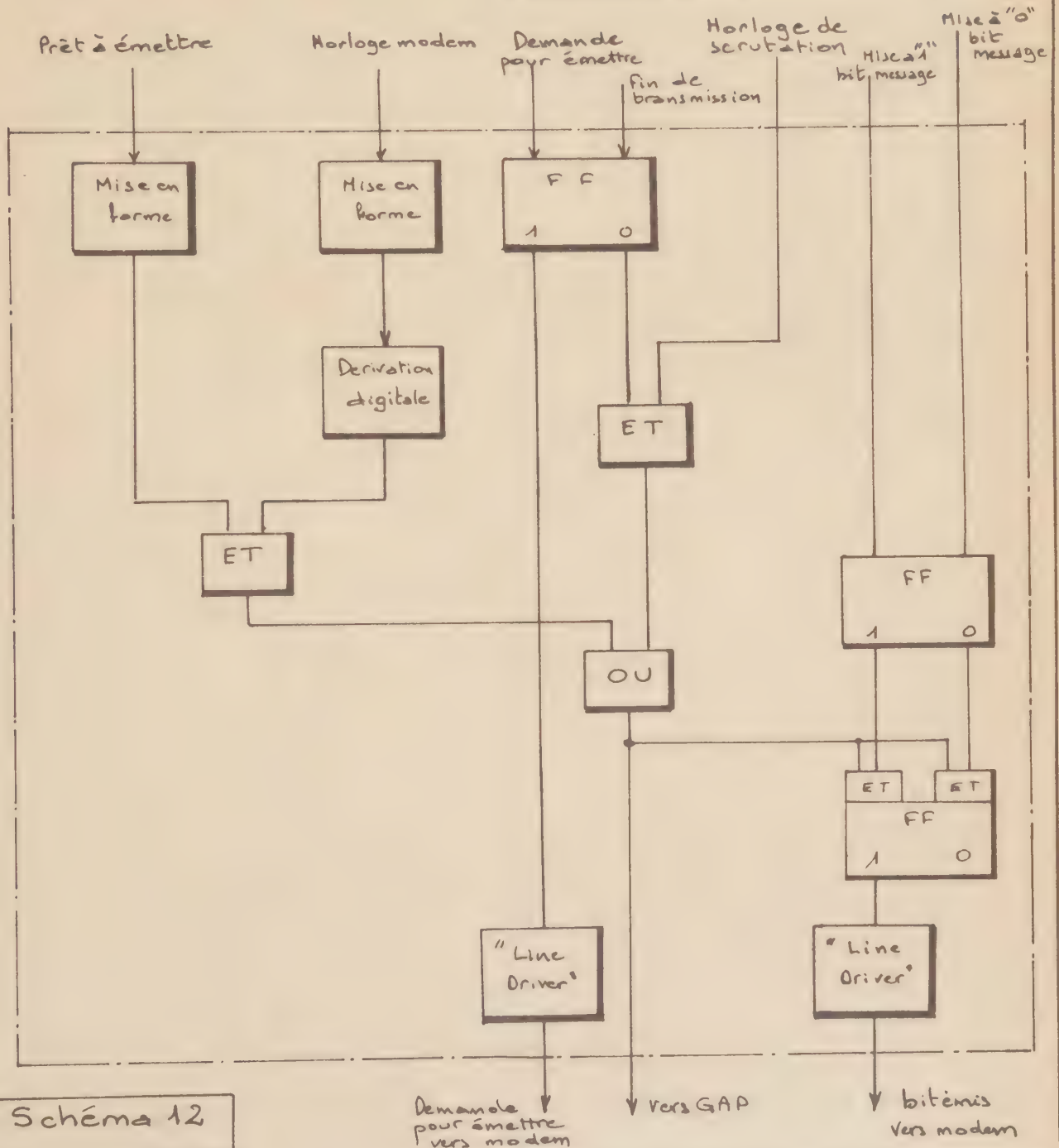


Schéma 12

Fait par
G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont	page
38.1	38

03/07/1968

INTERFACE TÉLÉPHONIQUE

Spécifications fonctionnelles pour Contrôleur de lignes à mémoire

4 EI FS 4202

cont

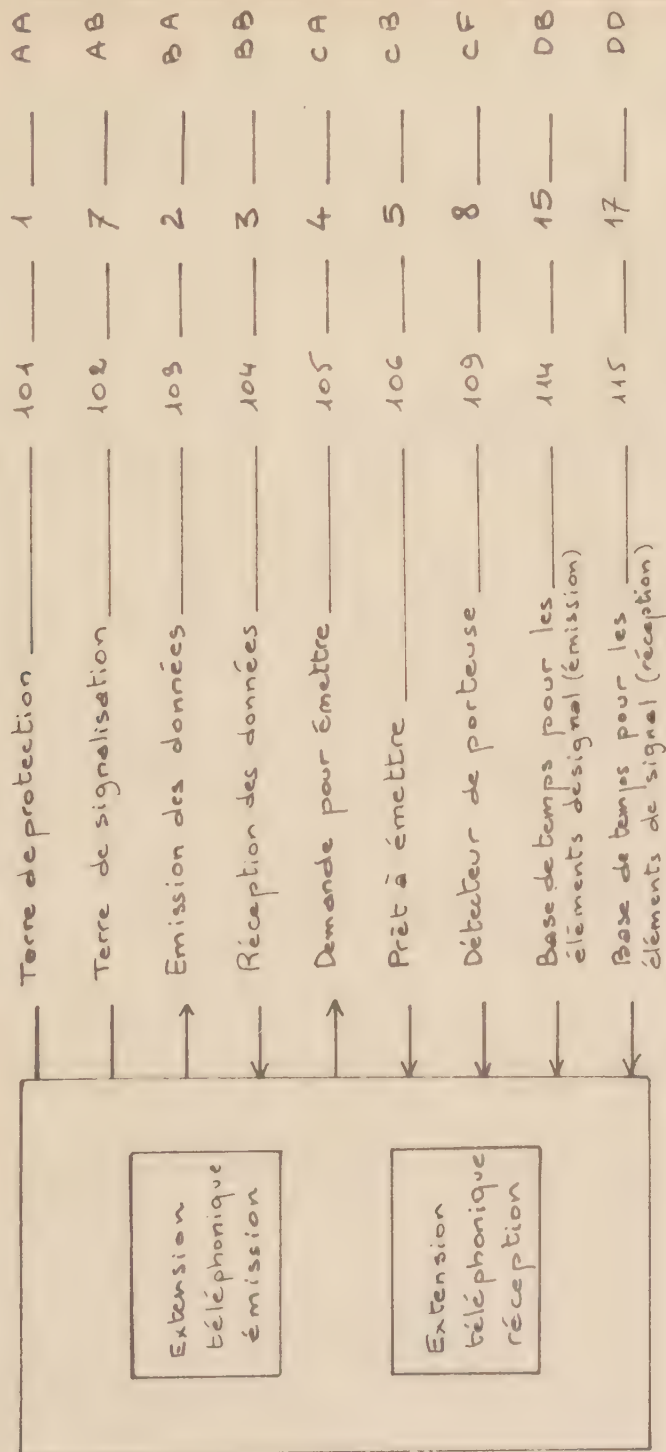
39

page

38.1

Nom du signal
d'interface

Jonction
C.C.I.T.T.
Prise
Cannon
Jonction
E.I.A.



- 101 - Protective ground
- 102 - Signal ground
- 103 - Transmitted data
- 104 - Received data
- 105 - Request to send
- 106 - Clear to send
- 109 - Data carrier detector
- 114 - Transmitter signal element timing
- 115 - Receiver signal element timing

G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont

39

page

38.1

03/07/69

II- 4

MULTIPLEXEUR

Le rôle du multiplexeur (schémas 2 & 3.1) est de mettre en relation l'extension ligne, à laquelle le GAP a donné la priorité, avec l'unité de contrôle.

Le GAP fournit, pour cela, 128 fils de validation dont un seul parmi les 128 est sélectionné, à un instant donné, pour permettre de modifier l'état de l'extension ligne qui a reçu la priorité.

A la réception, le bit reçu est aiguillé, par un circuit ou, de la ligne prioritaire, vers le bit C00 du registre C.

A l'émission, le bit à émettre est envoyé par une ligne omnibus à toutes les lignes émission. Seule la ligne qui a obtenu la priorité le prend en compte.

II-5 -

ADAPTATEURS DE LIGNES (EXTENSIONS LIGNES)

Les adaptateurs de lignes (schémas 9 à 12) constituent les extensions lignes du CLM appartiennent à l'un des 4 types suivants :

- Réception asynchrone
- Réception synchrone
- Emission télégraphique
- Emission téléphonique.

Ces adaptateurs comportent :

- Un dispositif de mise en forme des signaux reçus (pour l'horloge et les données)
- Un dispositif de synchronisation assurant la réception ou l'émission des données au rythme déterminé pour chaque ligne.
- Un dispositif de stockage de la donnée (bit reçu ou bit émis).

II-5-1- Mise en forme

Ces circuits sont conformes aux normes CCITT et servent d'interface entre les cartes télégraphiques ou les modems et la logique du CLM.

II-5-2- Synchronisation

Le dispositif de synchronisation est constitué d'horloges qui assurent le cadencement de l'émission des données, ou de leur scrutation à la réception.

Dans ce dernier cas, les horloges ne fonctionnent que pendant la réception effective de données; elles sont déclenchées soit par le modem, soit par les transitions stop-start en mode asynchrone. Par contre, à l'émission les horloges fonctionnent en permanence et provoquent ainsi la scrutation systématique de tous les mots de contrôle associés à des lignes d'émission.

fait par

G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont

41

page

40

03/07/1968

Toutes les lignes qui émettent les données à la même vitesse utiliseront la même horloge. Toutefois, en modes synchrone ou asynchrone téléphonique, on utilisera une horloge de scrutation permanente plus lente que l'horloge d'émission. On évitera ainsi de déranger trop souvent l'unité de contrôle pendant les périodes où il n'y a pas d'émission en cours sur certaines lignes.

Un dispositif simple assure la commutation entre l'horloge de scrutation et l'horloge d'émission en fonction des diverses informations reçues de l'UC (demande pour émettre, fin de transmission) ou du modem (prêt à émettre). Une même horloge de scrutation est utilisée pour toutes les lignes, ou pour des groupes de lignes, suivant les rythmes de scrutation désirés.

II-5-3-

Stockage

Le dispositif de stockage comprend 1 bascule à la réception et deux bascules à l'émission.

A la réception, le stockage du dernier bit reçu est assuré par une bascule que l'unité de contrôle vient consulter au rythme de la réception des données, c'est-à-dire au rythme des appels de l'horloge réception au GAP. Ce stockage est effectué de façon à minimiser les effets de la distorsion; pour cela, on positionne les tops d'horloge de façon à échantillonner le signal reçu au milieu de sa période.

A l'émission, le bit à émettre est stocké dans une bascule tampon dont le contenu est transféré dans une seconde bascule, reliée à la ligne, au rythme de l'émission.

Fait par	G. YON	approuvé par						4 EI FS 4202	cont	page
			REV	A					42	41
	03/07/1968			B						

Spécifications fonctionnelles pour

contrôleur de lignes à mémoire-

4 EI FS 4202

cont	page
43	42

La bascule tampon reçoit, de plus, en mode asynchrone, des informations en provenance de l'UC de façon à émettre les bits de stop et de start qui ne sont pas stockés dans le mot courant.

La logique de chaque type d'extension ligne utilisable est décrite dans les schémas 9 à 12 ci-avant.

fait par

G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont	page
43	42

03/07/1968

III-

Procédures

Ce chapitre décrit les procédures utilisées dans le contrôleur de lignes à mémoire.

Le générateur d'adresses fait appel, à la demande des extensions lignes, aux mots de contrôle des différentes lignes suivant l'ordre de priorité choisi.

Ces mots de contrôle consistent en 4 mots "mémoire" C0, C1, C2, C3 qui contiennent toutes les informations nécessaires à la réception ou à l'émission des données sur la ligne considérée.

Ces informations permettent notamment :

- l'assemblage des bits reçus en caractères
- le rangement convenable des caractères dans un mot et le stockage de ces mots dans des tables
- le contrôle de parité des caractères reçus
- la synchronisation caractère des messages
- la génération d'actions particulières en fonction du dernier caractère reçu et du mode de fonctionnement choisi.

III-1-

Format des mots de contrôle

Les mots de contrôle associés à une ligne déterminée sont au nombre de 4. Les deux premiers C0 et C1 sont immédiatement utilisables tandis que les deux derniers, C2 et C3 servent à réinitialiser C0 et C1 dont ils prennent la place en mémoire, en fin d'exploitation de chaque table-mémoire (table pleine à la réception, table vide à l'émission).

Le contenu de ces deux mots C0 et C1 est détaillé ci-dessous :

23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bx	Px	P	R	M	$\frac{E}{R}$	$\frac{A}{S}$	Yx																	C0
----	----	---	---	---	---------------	---------------	----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	----

B	$\frac{I}{P}$	E	S	Cx	C	Mo	Nx																	C1
---	---------------	---	---	----	---	----	----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	----

Note : Les lettres indicées en x représentent des valeurs qui évoluent suivant les décisions prises par l'unité de contrôle UC. Les autres lettres représentent des valeurs fixées à l'avance et modifiables par software.

Mot C0 Bx : nombre de bits restant à émettre ou recevoir dans le caractère numéro Cx du mot courant, en complément à 2. (*).

* Voir page 47, note en bas de page

Px : état de parité des bits émis ou reçus au moment considéré.

Px = I/P en début de caractère. A la réception, en fin de caractère:

Px = 0 s'il n'y a pas eu d'erreur de parité et

Px = 1 s'il y a eu erreur de parité. A l'émission, Px indique, dans le cas d'un code avec parité quel est le dernier bit à émettre (bit de parité).

P = indique si le code est un code avec contrôle de parité (P =1) ou sans contrôle de parité (P = 0)

R = indique si un retournement des caractères de 8 bits ou moins doit être effectué (R=1) ou non (R=0).

M = ce bit indique si un message est ou non en cours (M=1 ou M=0).

A la réception, en mode synchrone, M indique si l'on est ou non en recherche de synchro; si M=1 la synchronisation caractère a été établie. En mode asynchrone M est mis à "1" à la réception d'un start et remis à "0" en fin de caractère.

A l'émission, M est mis à "1" par software quand le programme principal décide d'émettre sur la ligne considérée et est remis à "0" par un caractère fin de texte ou fin de transmission ou par un procédé software.

Fait par

G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont

46

page

45

03/07/68

E/R: indique si la ligne associée à ce mot de contrôle travaille à l'émission (E/R=1) ou à la réception (E/R=0).

A/S: indique si la ligne associée à ce mot de contrôle est une ligne asynchrone (A/S=1) ou synchrone (A/S=0).

Yx : adresse du mot courant en cours d'exploitation. La zone Yx permet d'adresser une mémoire de 16 K mots (16 384 mots).

Mot C1: B : nombre de bits dans un caractère (y compris le bit de parité éventuel en complément à 2. (*).

I/P: indique si le contrôle de parité est un test de parité (I/P=0) ou d'imparité (I/P=1).

E : indique le nombre d'espaces à laisser entre chaque caractère du mot courant. On peut ainsi laisser de 0 à 3 espaces entre caractères. A la fin de chaque caractère le mot courant est décalé du nombre de bits indiqué par E (0 à 3).

S : indique si les caractères reçus doivent (S=1) ou non (S=0) être stockés - S est mis à "0" par software si le stockage n'est pas désiré, ou par la reconnaissance d'un EOT. S est mis à "1" : quand M=0, après reconnaissance d'un SYN et quand M=1 après reconnaissance de certains caractères fixés par mode (SOH, STX etc...). (**).

(*) Voir note page 47 - (**) Voir page 75

Fait par

G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont	page
47	46

03/07/1968

Cx : nombre de caractères restant à recevoir ou émettre dans le mot courant d'adresse Yx.

C : nombre de caractères rangés dans un mot de 24 bits.

Mo : nombre de fonctionnement : ces modes (8 possibles) définissent pour chaque type de codes utilisés par le CLM les actions hardware désirées suivant le caractère de service rencontré.

Nx : nombre de caractères restant à émettre ou à recevoir dans la table en cours d'exploitation. Le passage à 000₈ de Nx indique une fin de table, provoque automatiquement la réinitialisation de C0 et C1 par le contenu des mots C2 et C3 et prévient le calculateur. Nx (9bits) permet de compter 512 caractères au plus.

L'information contenue dans C0 permet de traiter complètement un bit émis ou reçu. C'est seulement en fin de caractère que l'on doit appeler le mot C1 qui contient les informations nécessaires à ce stade.

(*) NOTE : en mode synchrone et asynchrone réception, la valeur affichée dans B est le complément à 2 du nombre de bits par caractère du code utilisé (y compris le bit de parité éventuel).

En mode asynchrone émission, la valeur affichée dans B est le complément à 2 du nombre total de bits par caractère (y compris le bit de parité éventuel+1 bit start + 2 bits de stop).

Exemples:- ISO synchrone: B= 1000

- Emission ISO asynchrone avec 2 stops= B=0101.

Fait par	approuvé par	REV	A	C	4 EI FS 4202	cont	page
G. YON			B			48	47
le							
03/07/1968							

Modification hardware des mots de contrôle :

- à chaque bit émis ou reçu (mot CO).
 - $Bx + 1$.
 - modification de Px comme indiqué plus haut.
- à la fin de chaque caractère ($Bx = 00_8$) on effectue en plus les opérations suivantes :
 - appel de C1.
 - $Cx - 1$
 - remise à "I/P" de Px après test de parité
 - détection de caractères spéciaux
 - transfert du contenu de B dans Bx
 - $Nx - 1$
- à la fin de chaque mot ($Cx = 1_8$) on effectue en plus les opérations suivantes :
 - transfert du contenu de C dans Cx
 - $Yx + 1$
- à la fin de chaque table ($Nx = 000_8$) on effectue en plus les opérations suivantes :
 - appel de C2 et C3 qui prennent en mémoire la place de C0 et C1
 - interruption de programme du calculateur pour l'informer de la fin de table.

La succession de ces séquences est résumée sous forme de diagramme dans le schéma 13.

G. YON

approuvé par

REV

A

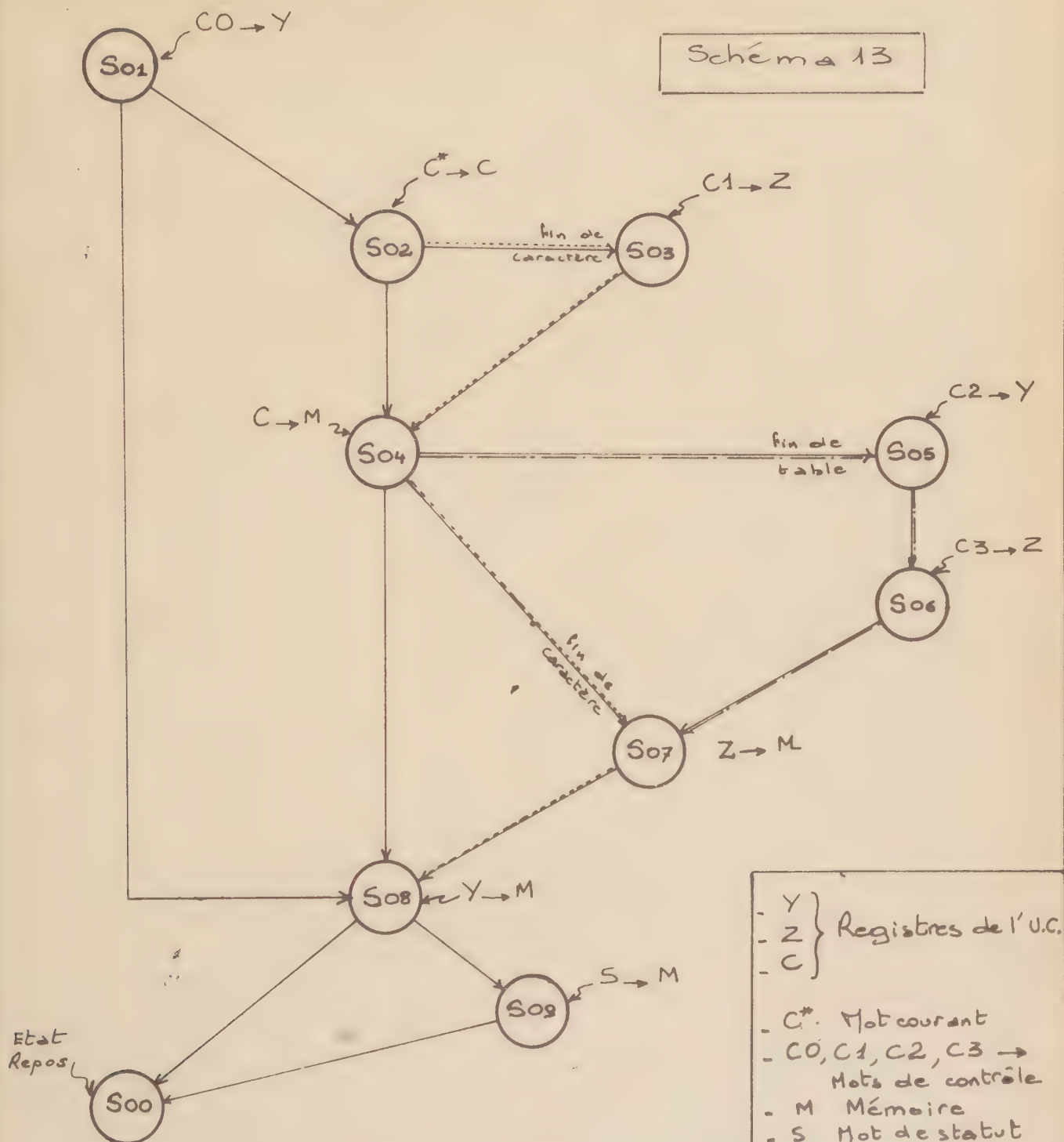
B

4 EI FS 4202

cont	page
49	48

03/07/I968

Schéma 13



fait par G. YON

approuvé par

REV

A

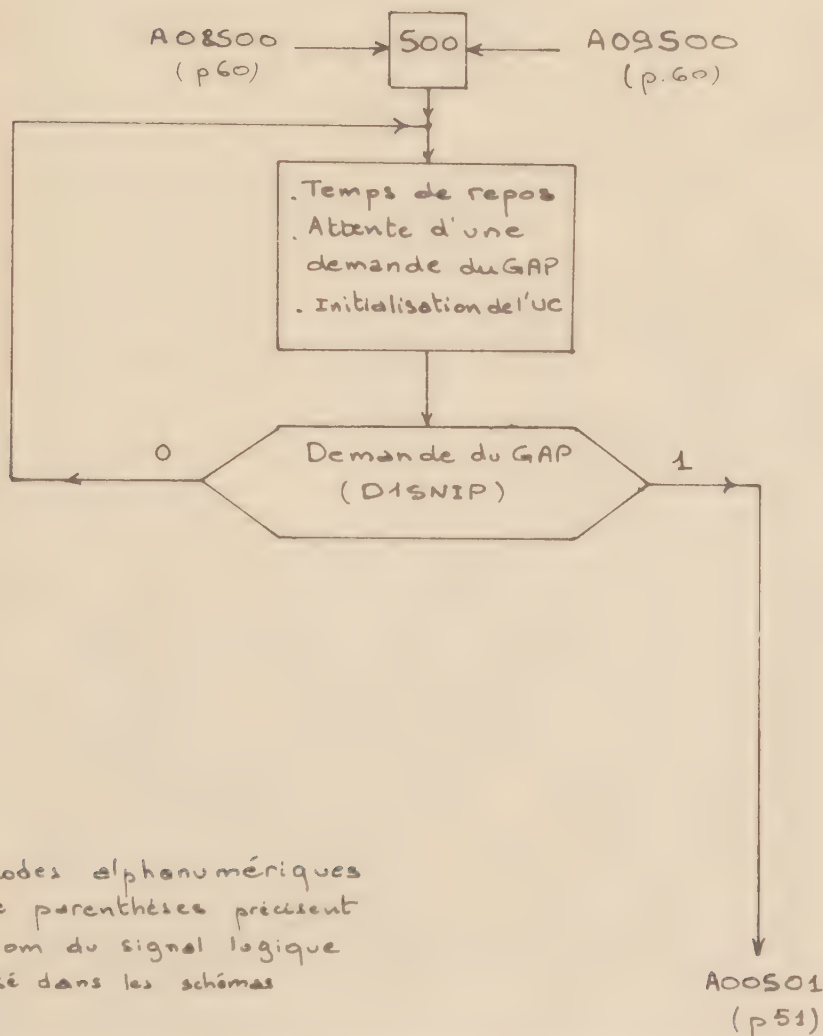
B

4 EI FS 4202

cont page
50 49

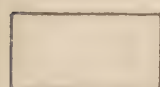
03/07/1968

Schéma 14

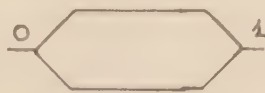


Nota: Les codes alphanumériques
entre parenthèses présentent
le nom du signal logique
utilisé dans les schémas

Légende des schémas 14 à 20



Exécution d'une action



Test et branchement
(1 = vrai, 0 = faux).

T4E

Temps auquel l'action
est exécutée

A00301

Provenance (ici 500)
Destination (501)

Fait par

G. YON

approuvé par

REV

A

C

B

4 EI FS 4202

cont
51

page
50

le

03/07/1968

Schéma 15

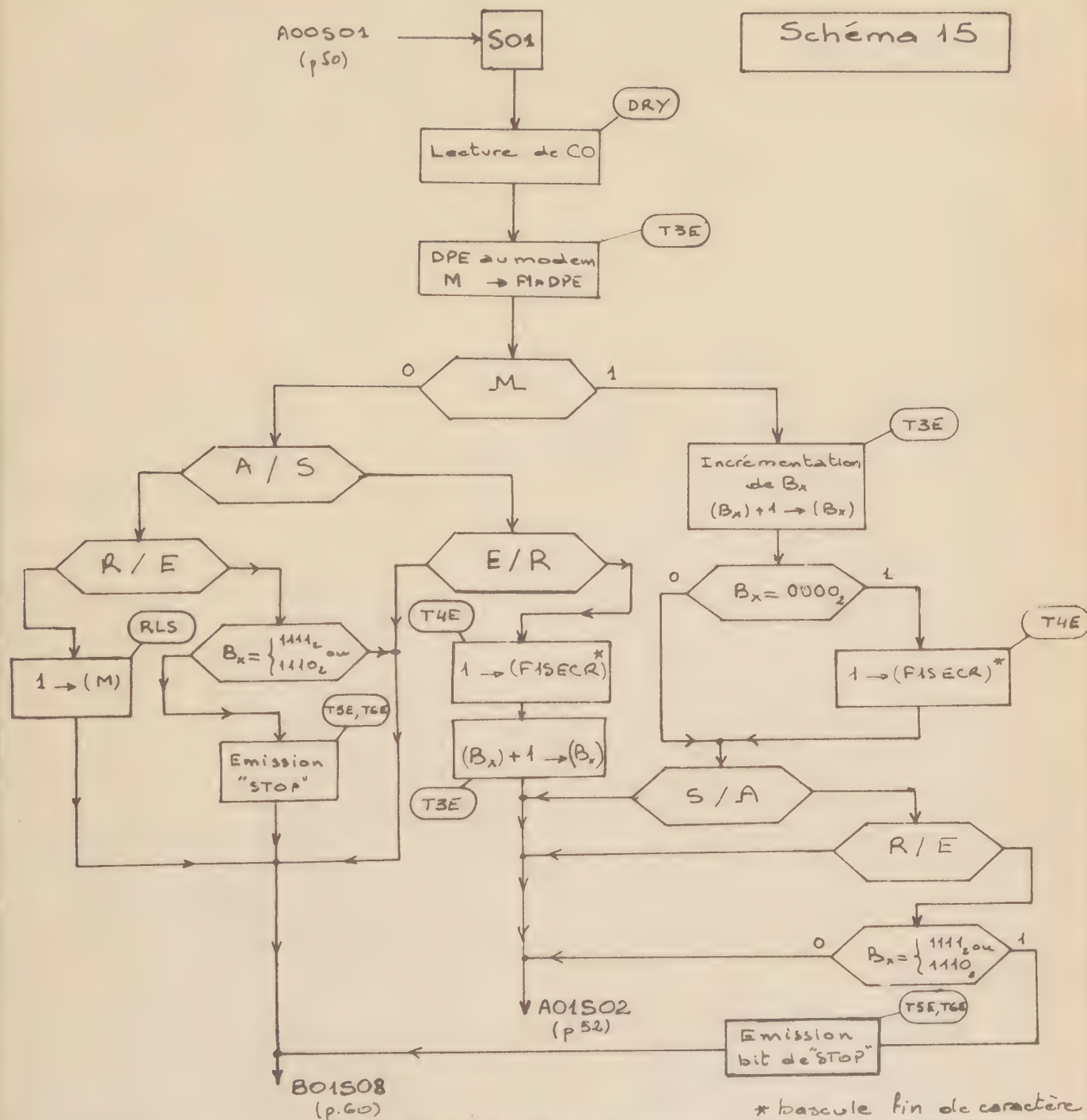


Schéma 16 a

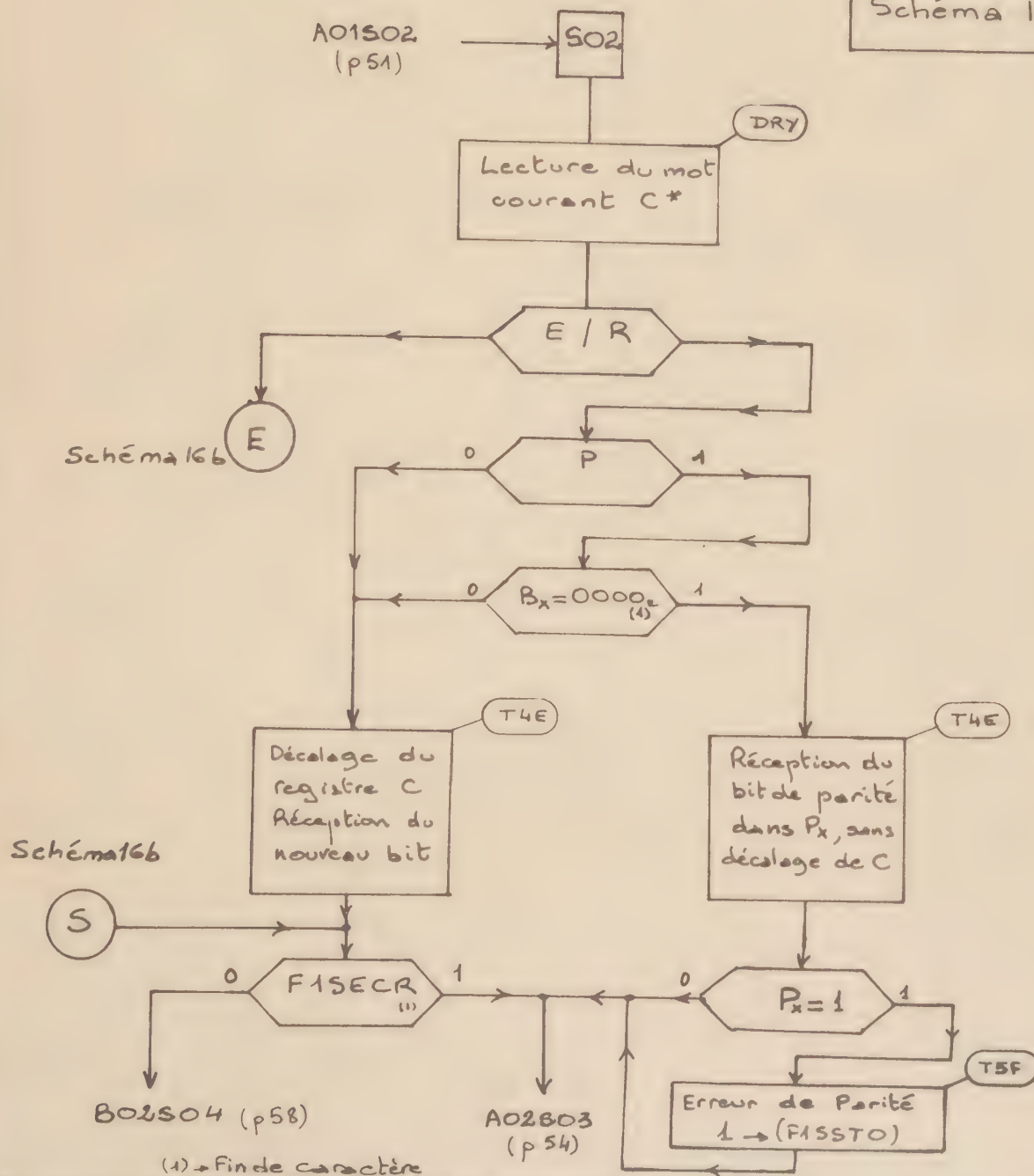


Schéma 16b

Fait par
G. YON

approuvé par

REV

A

C

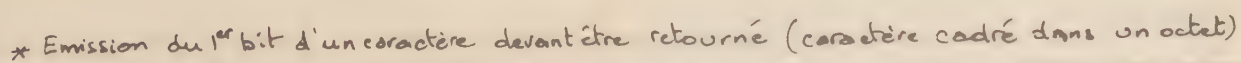
B

4 EI FS 4202

cont
53

page
52

le 03/07/1968



Spécifications fonctionnelles pour
contrôleur de lignes à mémoire

4 EI FS 4202

cont

55

page

54

A02503

503

Schéma 17a

DRY

Lecture de C1 (Y)
(fin de caractère)

T3E

$B_x = B$

T3E

Chargement compteur
d'espaces:
(E) $\rightarrow$ FISSP1, FISSP2

T3E

$P_x = I/P$

$C_x = 01$

T3E

$1 \rightarrow (F15EWD)$
(fin de mot)

A/S

E/R

AE

Schéma
17b (p55)

AR

Schéma
17b (p55)

Schéma
(p55) 17b

SE

Schéma
p(55) 17c

SR

Fait par

G. YON

approuvé par

REV

A

C

B

4 EI FS 4202

cont

55

page

54

le

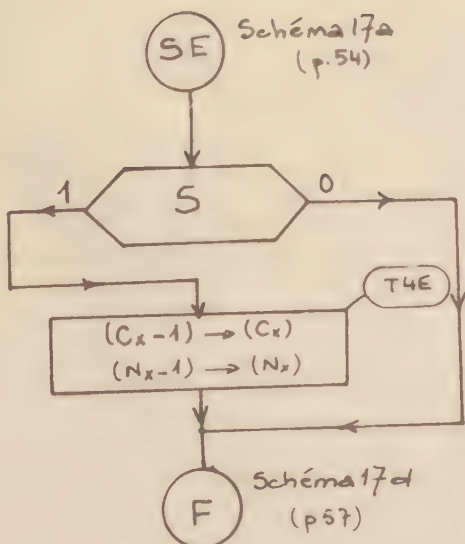
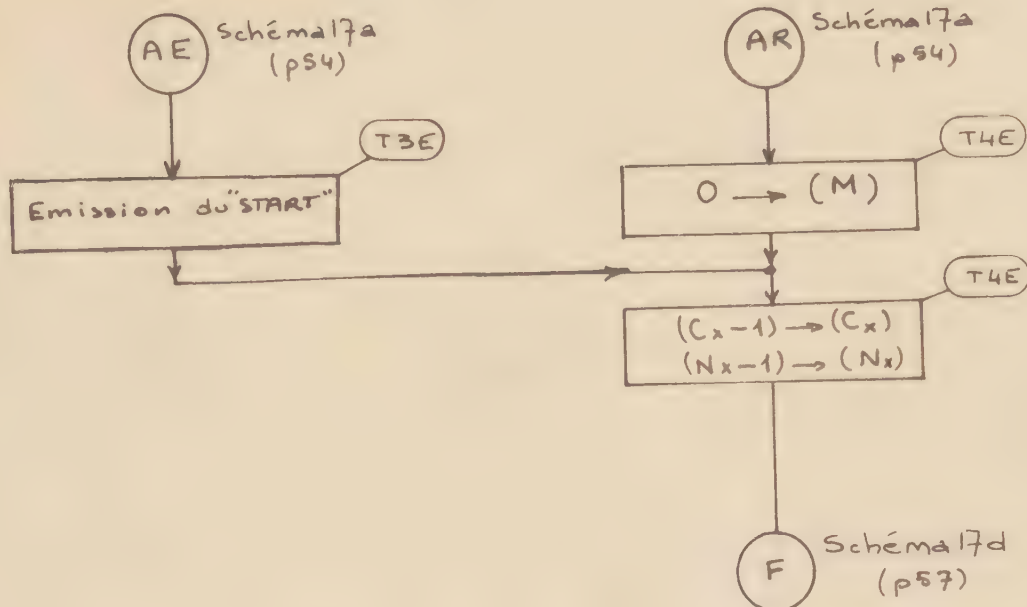
03/07/1968

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire

4 EI FS 4202

cont
56

page
55



Fait par G. YON

approuvé par

REV

A

C

B

4 EI FS 4202

cont
56

page
55

le 03/07/1968

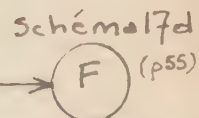
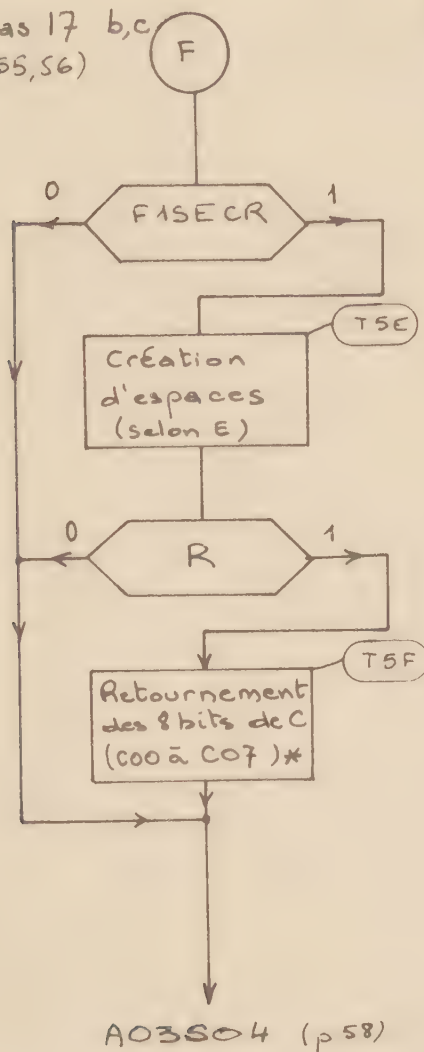


Schéma 17 d

Schémas 17 b,c
(p 55,56)



* Retournement des caractères
rangés en "8 bits par caractère"

Fait par
G. YON

approuvé par

REV

A

C

B

4 EI FS 4202

cont	page
58	57

03/07/1968

Schéma 18

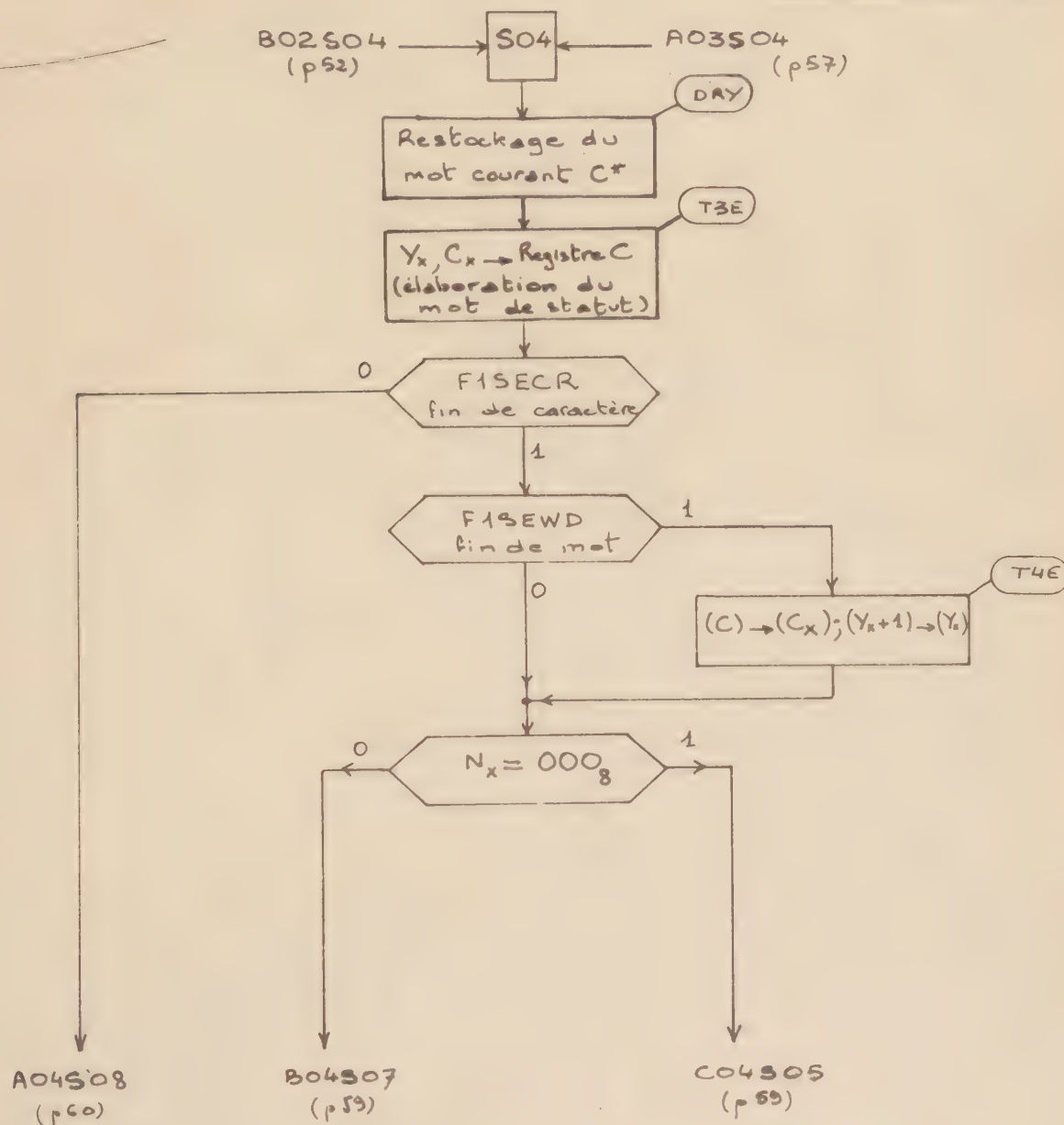


Schéma 19

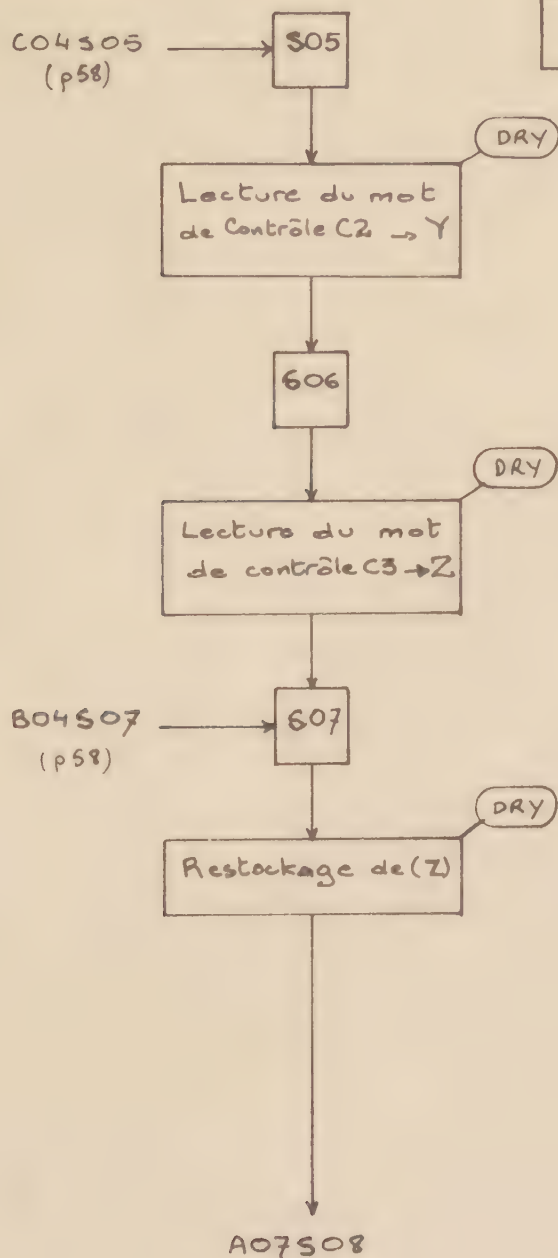
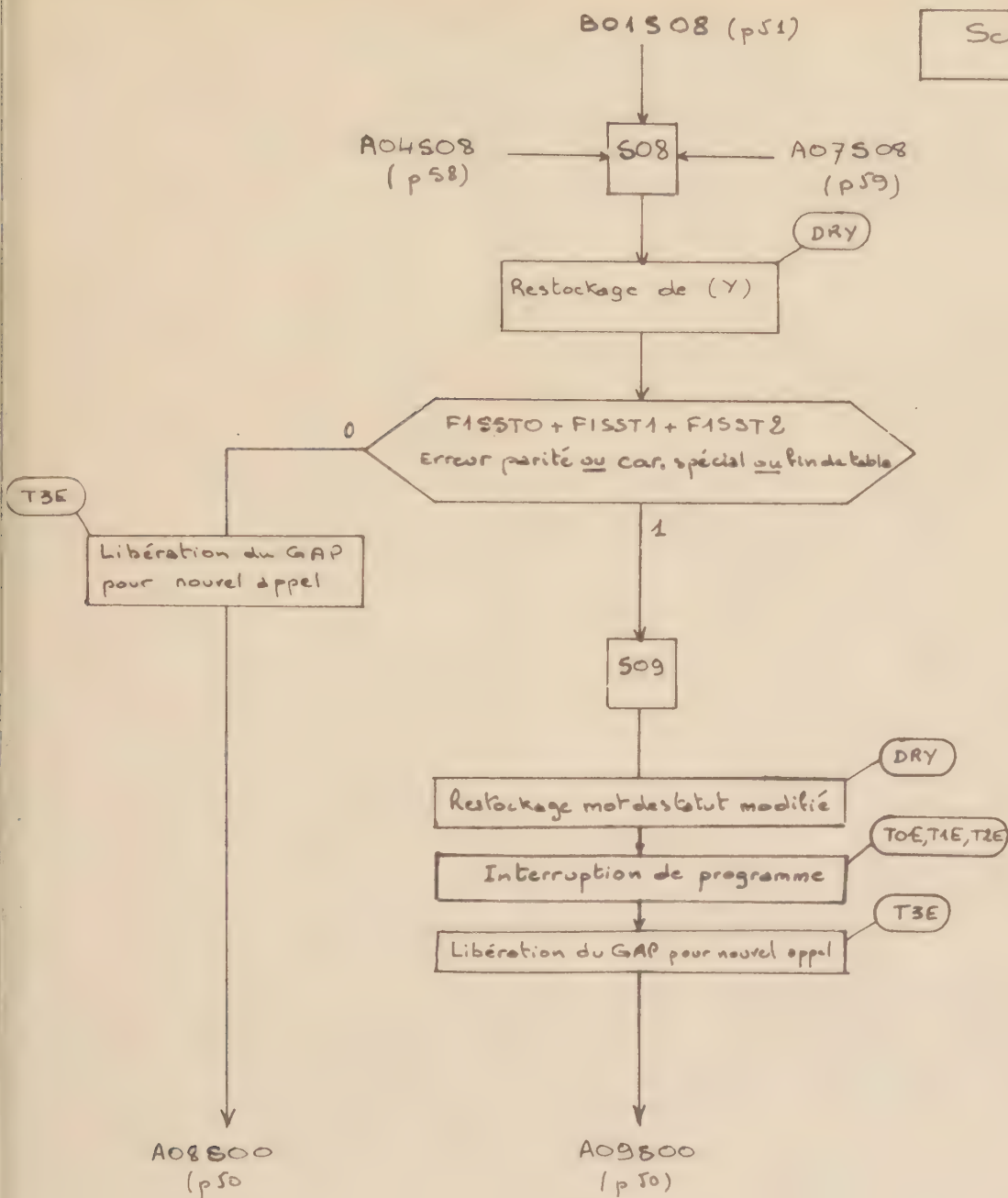


Schéma 20

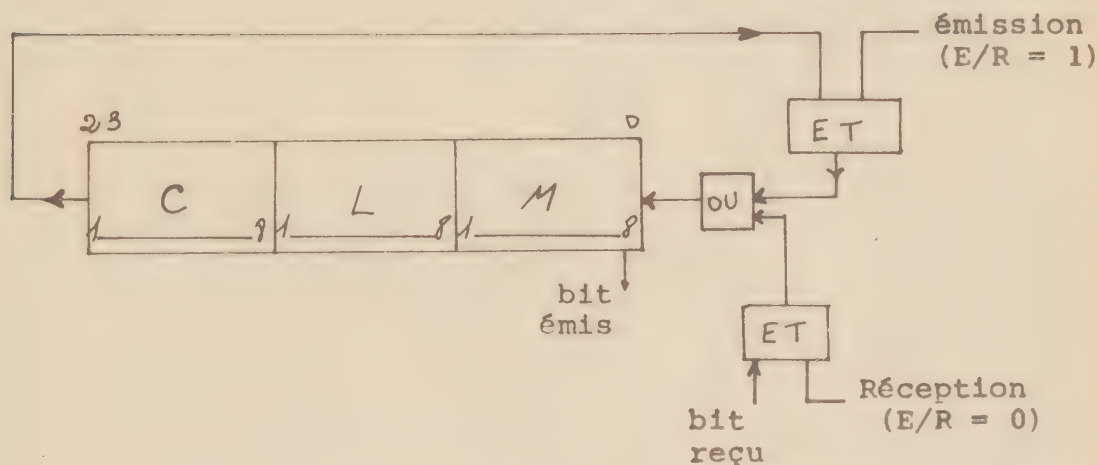


III-2

Rangement des caractères

Selon les vœux du CCITT, la transmission des caractères se fait en général "bit de plus petit poids en tête" (low order bit first).

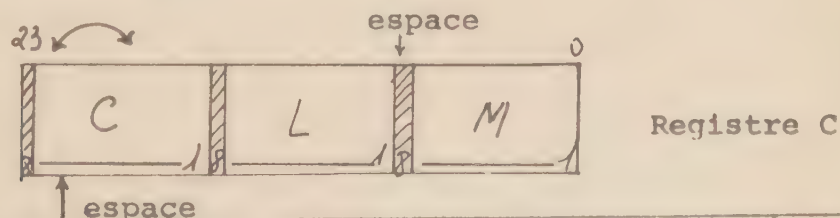
Or, le rangement des caractères s'effectue de la gauche vers la droite suivant le schéma ci-dessous.



Les bits reçus entrent sur la bascule C00 du registre C.

A l'émission, le registre C est décalé circulairement d'un cran vers la gauche et le contenu de la bascule C00 est alors émis.

Il a paru intéressant de réaliser un retournement des caractères. A l'émission, les caractères de 7 bits (code ASCII-ISO par exemple) peuvent être retournés. Les caractères des codes à 7 bits peuvent donc être rangés "bits de gros poids en tête" selon le schéma suivant :



Fait par G. YON

approuvé par

REV

A

C

B

4 EI FS 4202

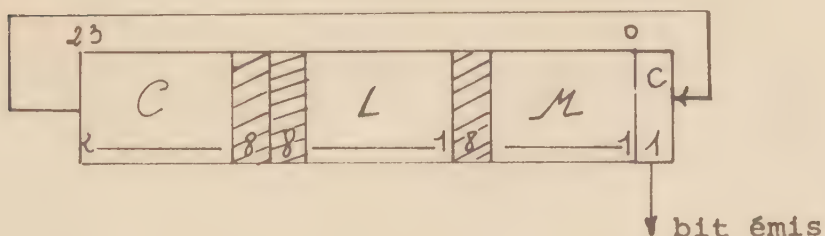
cont	page
62	61

03/07/1968

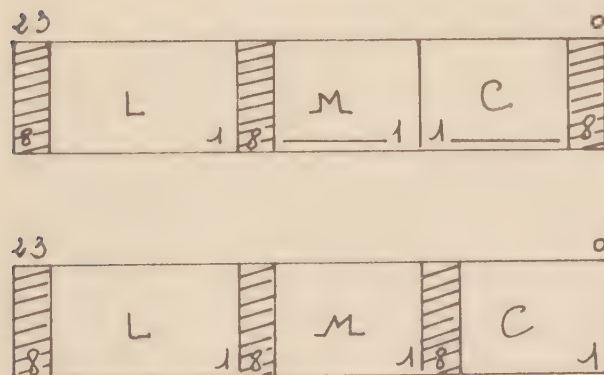
Au début de l'émission de chaque caractère, celui-ci sera retourné si le bit R du mot de contrôle C0 est à 1.

Ainsi ce caractère sera émis selon la procédure habituelle, "bit de petit poids en tête".

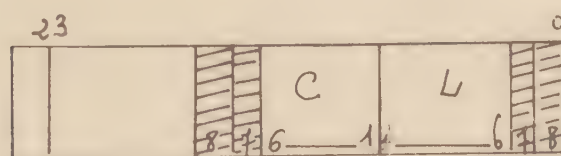
Le schéma d'émission est alors le suivant (émission du bit 1 de la lettre C).



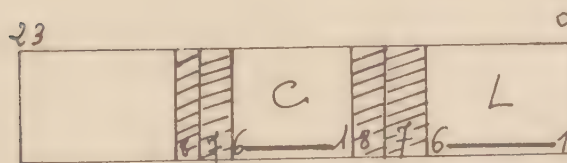
Lorsque le caractère a été entièrement émis, il est de nouveau retourné pour reprendre sa position initiale.



A la réception, les caractères de 8 bits à 5 bits peuvent être retournés si le bit R du mot de contrôle C0 est à "1", à condition d'être rangés dans le registre C, dans des zones de 8 bits. Ainsi, par exemple, on peut retourner des caractères de 6 bits à condition de créer 2 espaces après la réception du caractère :



Création de 2 espaces



Retournement

fait par
G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont
64

page
63

03/07/1968

III-3 Organisation des tables

A l'arrivée du premier bit du premier caractère d'une table, les mots de contrôle C0 et C1 indiquent l'adresse de départ Yx, le numéro du caractère de départ Cx dans le mot de départ et la longueur Nx (nombre de caractères de la table associée à la ligne considérée).

Lorsque la table est pleine (réception) ou vide (émission) $-N_x = 000_8$ - les mots de contrôle C2 et C3 sont appelés pour réinitialiser C0 et C1 dont ils prennent la place en mémoire. Le contenu de C0 et C1, ainsi réinitialisés, permet de continuer le stockage (ou l'émission) des données vers (ou à partir de) la nouvelle table dont les coordonnées de départ (Yx, Nx, Cx) étaient gardées en réserve dans C2 et C3.

On réalise ainsi un chaînage d'une table à l'autre suivant les indications données par software, de façon à optimiser la gestion de la mémoire.

Chaque table peut contenir un nombre de caractère compris entre 1 et 512, la grandeur de chacune d'elle étant en fonction de la vitesse de la ligne et de la longueur des messages.

A l'émission, un message se termine en principe en fin de table, faute de quoi les caractères placés entre la fin du message et la fin de la table seraient également émis, bien que n'appartenant pas au message en cours.

fait par
G. YON

approuvé par

REV

A

C

B

4 EI FS 4202

cont	page
64-1	64

03/07/68

III-4

Contrôle et génération de la parité

III-4-1. Contrôle

La parité des caractères reçus est contrôlée lorsque le bit P du mot de contrôle C1 est à "1".

Si une erreur de parité est détectée en fin de caractère, un cycle de statut (séquence S09) permet de modifier le bit "contrôle de parité" (bit 22) du mot de statut que le calculateur, prévenu par une interruption de programme vient consulter (voir paragraphe III-7.1.1.).

Ce contrôle de parité est réalisé grâce à une bascule du registre Y qui fonctionne en additionneur modulo 2.

Cette bascule Y19 (bit Px du mot de contrôle C0) est initialisée, au début de chaque caractère, par le contenu de I/P (bit 19 du mot de contrôle C1) - Ensuite chaque bit du caractère reçu est ajouté (modulo 2) au contenu de la bascule Y19 (bit Px).

Ainsi, à la fin du caractère, Px devra prendre la valeur "0" s'il n'y a pas d'erreur de Parité et la valeur "1" s'il y a erreur de parité.

Cependant, le contrôle de Px n'a lieu que si le bit P du mot de contrôle C0 est à "1".

La valeur de I/P (initialisation de Px) dépend de la nature du contrôle :

I/P = 1 contrôle d'impairité

I/P = 0 contrôle de parité.

G. YON

révisé par

REV
A
B

4 EI FS 4202

cont

page

66

65

03/07/1968

Le bit de parité du caractère reçu n'est donc pas stocké dans le mot courant, si un contrôle de partie est effectué. Par contre ce bit de parité est stocké si ce contrôle est supprimé.

III-4-2. Génération

A l'émission des caractères d'un message, un bit de parité peut être généré si $P=1$.

Ce bit de parité est élaboré de la même manière qu'à la réception par addition modulo 2 sur le compteur Px des bits successivement émis du caractère. Au moment de l'émission de la parité, le contenu de Px est envoyé vers la ligne considérée à la suite des bits du caractère venant d'être émis.

Dans le cas d'une génération de la parité le nombre de bits du caractère émis doit inclure le bit de parité.

Fait par

G. YON

approuvé par

REV

A

B

4 EI FS 4202

67

page
66

03/07/K968

III-5

Synchronisation

Il y a deux types de synchronisation à établir :
la synchronisation bit et la synchronisation caractère.

La synchronisation bit permet d'échantillonner le signal reçu à l'instant le plus favorable, et de générer des bits de longueur convenable à l'émission, et ce, dans les deux cas, au rythme de transmission adopté.

La synchronisation bit est assurée soit par des horloges dont la fréquence doit être aussi voisine que possible de celle des horloges des périphériques, soit par les horloges des modems.

La synchronisation caractère doit permettre de reconnaître, parmi l'ensemble des bits reçus, les sous-ensembles de bits constituant des caractères. Cette reconnaissance est réalisée par des procédés différents selon le type de transmission utilisé.

III-5-1. Réception synchrone

Dans ce cas, on reçoit sur la ligne, en l'absence de message un roulement (succession ininterrompue de bits à 1 et de bits à 0 : 1010101...) ou un caractère particulier (caractère de synchronisation = plus brièvement, caractère de synchro ou SYN).

G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont	page
68	67

03/07/1969

III-5-1-i. Cas du roulement

Dans ce cas, le nombre de bits séparant deux messages n'est pas nécessairement un multiple du nombre de bits d'un caractère. Il faut donc rétablir la synchronisation caractère pour recevoir correctement le message suivant.

Chaque message est précédé d'un ou plusieurs caractères de synchro que le CLM reconnaît.

Pendant la réception du roulement, le mot de contrôle de la ligne considérée est appelé à chaque implusion d'horloge. Le nouveau bit reçu est stocké dans le mot courant et un décodeur vérifie si les derniers bits du mot, correspondant à la configuration du caractère de synchro. Si oui, le bit M du mot de contrôle est mis à "1". Les caractères suivants seront alors stockés, sauf si ces caractères sont des caractères de synchro. (voir III-5-1-2).

Le bit M est remis à "0" en fin de transmission (par la reconnaissance du caractère " fin de transmission"), ou par software.

Lorsque M= "0" les compteurs sont inhibés et, par suite, les bits reçus sont stockés dans le même mot courant, Yx étant également inhibé. A chaque nouveau bit reçu, on teste les "n" derniers bits (n étant égal au nombre de bits par caractères) de façon à détecter le prochain caractère de synchro.

fait par

G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont	page
69	68

03/07/1969

III-5-1-2.

Cas de caractère de synchro permanent

Dans ce cas la synchronisation caractère n'est jamais perdue, mais il faut éviter de remplir la mémoire avec des caractères de synchro.

Deux cas sont à distinguer:

- 1) Trains de caractères de synchro entre deux messages.

Dans ce cas, tous les caractères de synchro sont reçus dans le même mot (le compteur Yx étant bloqué car $M = 1$ et $S = 0$).

Dès qu'un caractère différent du caractère de synchro arrive, on vérifie s'il est identique au caractère, défini à l'avance, qui doit provoquer le début du stockage.

- 2) Trains de caractères de synchro en cours de message.

Dans ce cas, on peut choisir entre deux solutions (selon le mode utilisé) :

- ou bien on stocke ces caractères de synchro dans le message
- ou bien on remplit le mot en cours avec des caractères de synchro et on attend un caractère différent de synchro pour commencer le stockage dans le mot suivant.

Fait par	G. YON	approuvé par	REV	A	C			4 EI FS 4202	cont	page
le	03/07/1968			B					70	69

III-5-1-3.

Modem avec détection de porteuse

Dans certains cas, le modem possède un circuit "détecteur de porteuse". En l'absence de message, l'absence de porteuse se traduit donc par un signal "détection de porteuse" de niveau logique "0" qui inhibe l'horloge du modem dans l'extension ligne du CLM. Le GAP n'est plus alors sollicité par la ligne considérée.

Quand la porteuse réapparaît, l'horloge est de nouveau validée et le CLM entre dans une période de recherche de synchro.

En fin de message, la réception d'un caractère "fin de transmission" (EOT par exemple) remet le bit M de C0 à "0", puis la "détection de porteuse" inhibe de nouveau l'horloge.

Fait par G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont	page
71	70

03/07/1968

III-5-2.

Emission synchrone

Un message à émettre est toujours cadré dans une table et les détections de fin de tables permettent de réaliser le chaînage des différentes tables constituant le message.

Le début d'émission d'un message donné est caractérisé par la mise à "1" des bits M et S du mot de contrôle C0.

III-5-2-1.

Cas de roulement

Lorsque le dernier caractère du message a été émis, le compteur Nx marque 000, et les mots C2 et C3 sont appelés pour réinitialiser C0 et C1.

Dans C0, le bit M= "0" si aucun message n'est prêt à être transmis.

Dès qu'un message est, de nouveau prêt, le bit M est mis à "1" par software et, à la lecture de C0, une demande pour émettre est envoyée au modem

Tant que M= "0", aucune demande pour émettre n'est adressée au modem qui génère automatiquement un roulement, ou, dans d'autres cas, coupe l'émission de sa porteuse qu'il ne rétablit qu'après une nouvelle demande pour émettre.

III-5-2-2.

cas de caractère de synchro permanent

Lorsque le dernier caractère du message a été transmis on réalise le chaînage vers une table dont le mot de contrôle associé, C0, contient un bit S= "0" (M étant égal à "1").

fait par
G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont	page
72	71

03/07/1968

Cette table contient un mot complet de caractères de synchro qui sont alors lus en permanence.

Dès que le message suivant est prêt, le bit S est remis à "1" par software et le chainage sur la table suivante est réalisé après une dernière lecture du mot de caractère de synchro.

III-5-3-

Réception asynchrone

En transmission téléphonique aussi bien qu'en transmission télégraphique, le signal d'horloge doit être généré par l'extension ligne.

Il est déclenché par un "start" ou transition $1 \rightarrow 0$ du signal reçu. Cette transition précède toujours l'émission des bits d'un caractère, tout caractère étant suivi par un ou plusieurs bits de stop correspondant à l'état "1" du signal. La réception d'un "start" provoque la mise à "1" du bit M (séquence N°1).

Le signal d'horloge est stoppé par l'unité de contrôle lorsque le caractère complet a été parallélisé ($B_x = 00_8$). Le bit M est alors remis à "0". Les bits de stop et de start ne sont pas stockés dans la table de réception.

G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont

page

73

72

03/07/1968

III-5-4.

Emission asynchrone

Les bits de stop et start sont générés automatiquement par l'UC et ne font pas partie du message stocké en mémoire. Les instants auxquels ils doivent être générés sont donnés par le mot de contrôle.

La procédure est la suivante :

- Le nombre de bits par caractère augmenté du nombre de bits de stop et de start est affiché (en complément à 2) dans Bx et B.
- Bx est incrémenté au fur et à mesure de l'émission des bits du caractère.
- les états Bx= 16₈ et Bx= 17₈ sont réservés à l'émission des 2 bits de stop (la bascule "sortie message" de l'extension ligne est à "1").
- l'état Bx= 00₈ est réservé à l'émission du bit de start du caractère suivant (bascule "sortie message" à "0").
- pour un code avec parité, l'état Bx= 15₈ est réservé à l'émission de ce bit de parité.

En fin de table, après l'émission du dernier caractère, un bit de start correspondant à l'état $Bx = 00_8$ du compteur est émis. Le CLM établit alors le chaînage vers la table suivante.

Si cette table contient un message à émettre, le bit M du mot de contrôle est à 1 et le contenu de la table est émis. Si le bit M est à zéro on ne doit pas émettre la nouvelle table. On devra alors trouver $Bx = 16_8$ ou 17_8 et on émettra alors vers la ligne un état "1" permanent (état de repos).

En début de message, il faut générer un start. Pour cela, on stocke, comme premier caractère du message un code constitué entièrement de "1". Ce caractère sera émis sans start et ne sera donc pas interprété par le terminal. Mais enfin de ce caractère on émettra un start (état $Bx = 00_8$) et le message commencera alors normalement.

Une autre solution consiste, si l'on stocke 3 caractères au moins par mot, à augmenter Cx de une unité pour l'émission du premier mot de la table, en laissant la valeur $Bx = 17_8$. Il suffira alors de mettre le bit M à 1 pour lancer l'émission. En effet, tant que $Bx = 17_8$ et $M = 0$, on émet des états STOP (niveau logique 1). Dès que l'on met M à 1, Bx est incrémenté et on émet alors un START ($Bx = 00$) ; on décrémente Cx de une unité, et on se trouve alors dans une configuration normale pour l'émission des premiers caractères du message. (*)

(*) On ne peut pas utiliser cette méthode si l'on stocke 4 caractères par mot car ne peut pas afficher $Cx + 1 = 5$ (Cx ne contenant que 2 bits).

Fait par	G. YON	approuvé par						4 EI FS 4202	75	74
le	03/07/1968		REV	A	C					
				B						

III-5-5.

Exploitation des bits M & S-

Ces bits M & S jouent un rôle fondamental dans les procédures de synchronisation.

Le présent paragraphe décrit de façon systématique le comportement du C.L.M. selon toutes les configurations possibles des bits M et S.

ETAT	M	S	ETAT RECEPTION	ETAT EMISSION
0	0	0	Recherche synchro	Pas d'émission
1	0	1	Détection synchro sans sa parité	Pas d'émission
2	1	0	Détection synchro	Emission synchro permanent
3	1	1	Réception message	Emission message

Fait par

G. YON

approuvé par

REV

A
B

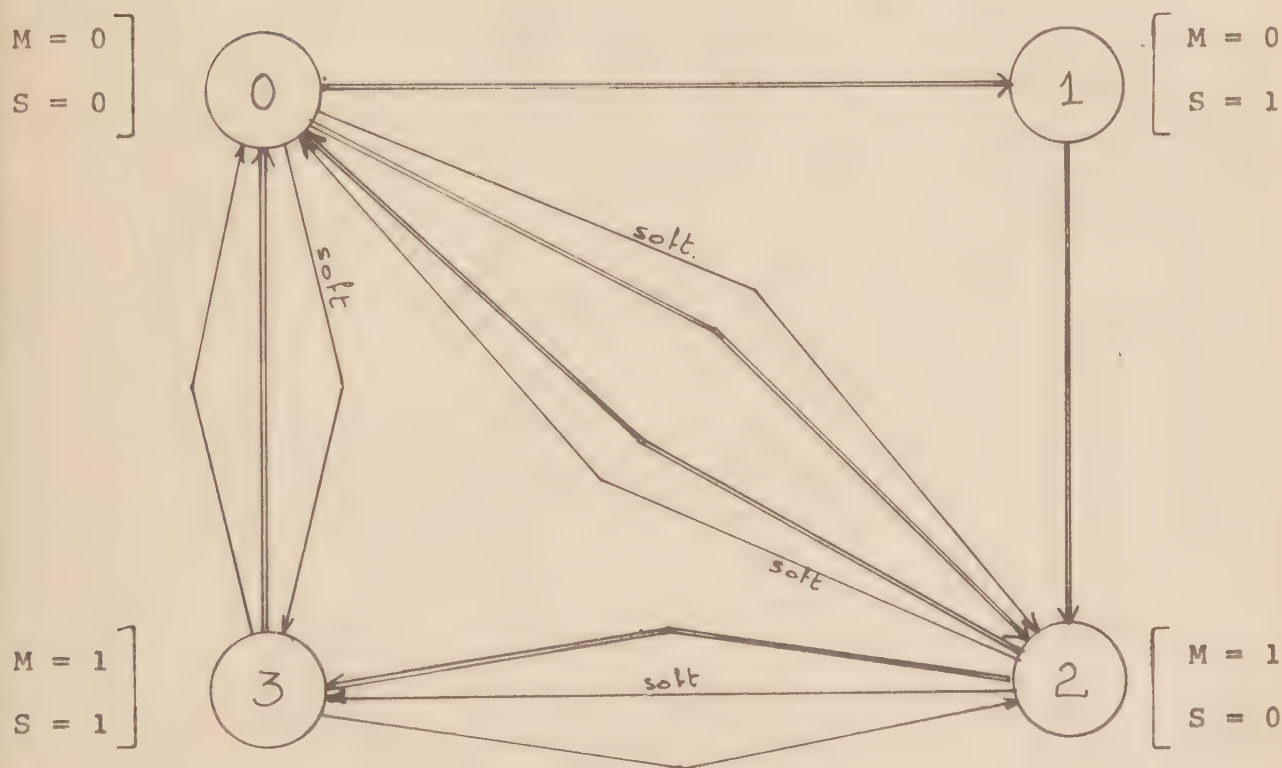
4 EI FS 4202

cont
76

page
75

03/07/1968

TRANSITIONS POSSIBLES PAR ACTION HARDWARE OU
SOFTWARE - (LES TRANSITIONS AUTRES QUE CELLES
DESSINEES, CORRESPONDENT A DES ERREURS).



 Transitions à la réception
 Transitions à l'émission

Schéma 21

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire

4 EI FS 4202

cont page
78 77

TRANSITIONS	CAUSE à la RECEPTION	CAUSE à l'EMISSION
Etats 0 → 1	- Réception des n bits de synchro (cas d'un code n bits + parité)	- Erreur
0 → 2	- Réception caractère synchro (réception sans test de parité)	- Emission synchro en début de message (action décidée par programme)
0 → 3	- Erreur (synchronisation erronée)	- Début d'émission (action décidée par programme)
1 → 0	- Erreur	- Erreur
1 → 2	- Reconnaissance synchro sans test de parité (après transition 0 → 1).	- Erreur
1 → 3	- Erreur	- Erreur
2 → 0	- Reconnaissance caractère d'en-tête erroné	- Arrêt émission synchro permanent- Arrêt de demande pour émettre au modem. (action décidée par programme)
2 → 1	- Erreur	- Erreur
2 → 3	- Reconnaissance caractère d'en-tête	- Début message après synchro permanent (action décidée par programme)

fait par

G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont page
78 77

03/07/1968

TRANSITIONS	CAUSE à la RECEPTION	CAUSE à l'EMISSION
Etats 3 → 0	- Reconnaissance fin de transmission	- Arrêt d'émission en fin de table (par chainage hardware sur mots de contrôle C2 et C3 ou par programme)
3 → 1	- Erreur	- Erreur
3 → 2	- Erreur	- Emission synchro permanent en fin de message (par chainage hardware).

- Dans le cas de procédures classiques, les caractères d'en-tête sont en général les caractères SOH ou STX.
- Dans le cas de procédures du type BSC (Binary Synchronous Communication) les caractères d'en-tête seront tous les caractères autres que les caractères de fin de message ou de synchronisation. Cette procédure augmente les risques d'une synchronisation erronée. (Un caractère de synchronisation n'étant pas toujours suivi d'un caractère début d'en-tête ou début de texte).

La fréquence des erreurs de parité permet alors la mise en recherche de synchro par software (mise à "O" de M et S).

Fait par	G. YON	approuvé par	REV	A				4 EI FS 4202	cont	79	page	78
	03/07/1968			B								

Spécifications fonctionnelles pour
contrôleur-de lignes à mémoire-

4 EI FS 4202

82

81

Action 8 : (G1 DETB)

Passage à la table suivante :
le message qui suivra le caractère dont
la reconnaissance provoque l'action 8
sera stocké dans une nouvelle table,
ou émis à partir d'une nouvelle table.

III-6-2- Caractères décodés -

Pour un CLM donné on a la possibilité
de décoder 20 caractères dont 10 sont câ-
blés d'office, les 10 autres étant choisis
par un câblage wrapping sur la carte. Les
caractères imposés sont les suivants :

des codes ASCII-ISO & EBCDIC :

- SYN (caractère de synchronisation)
- SOH (caractère d'en-tête)
- STX (caractère de début de texte)
- EOT (caractère de fin de transmission)
- Ensemble des caractères spéciaux de
communications de ces deux codes diminué
éventuellement de 0 à 6 caractères déjà
décodés par ailleurs.

Les autres caractères décodés sont
définis à la demande mais doivent compor-
ter au plus 8 bits significatifs (non com-
pris le bit de parité).

G. YON

Approuvé par

REV

A

B

4 EI FS 4202

82

81

03/07/1968

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire

4 EI FS 4202

83

82

III-6-3.

Critères d'action

On appellera critère de réalisation d'une action la combinaison (additive au sens logique) d'un mode et d'un caractère décodé : (critère) = (mode). (caractère décodé).

Le nombre des critères de réalisation d'une action varie suivant l'action, selon le tableau suivant :

Action	Nombre de critères maximum
1 (IPR)	4
2 (SYN)	4
3 (STH)	6
4 (EOT)	4
5 (EBK)	4
6 (DNC)	4
7 (PAL)	6
8 (ETB)	4

G. YON

approuvé par

REV

A

C

B

4 EI FS 4202

83

page

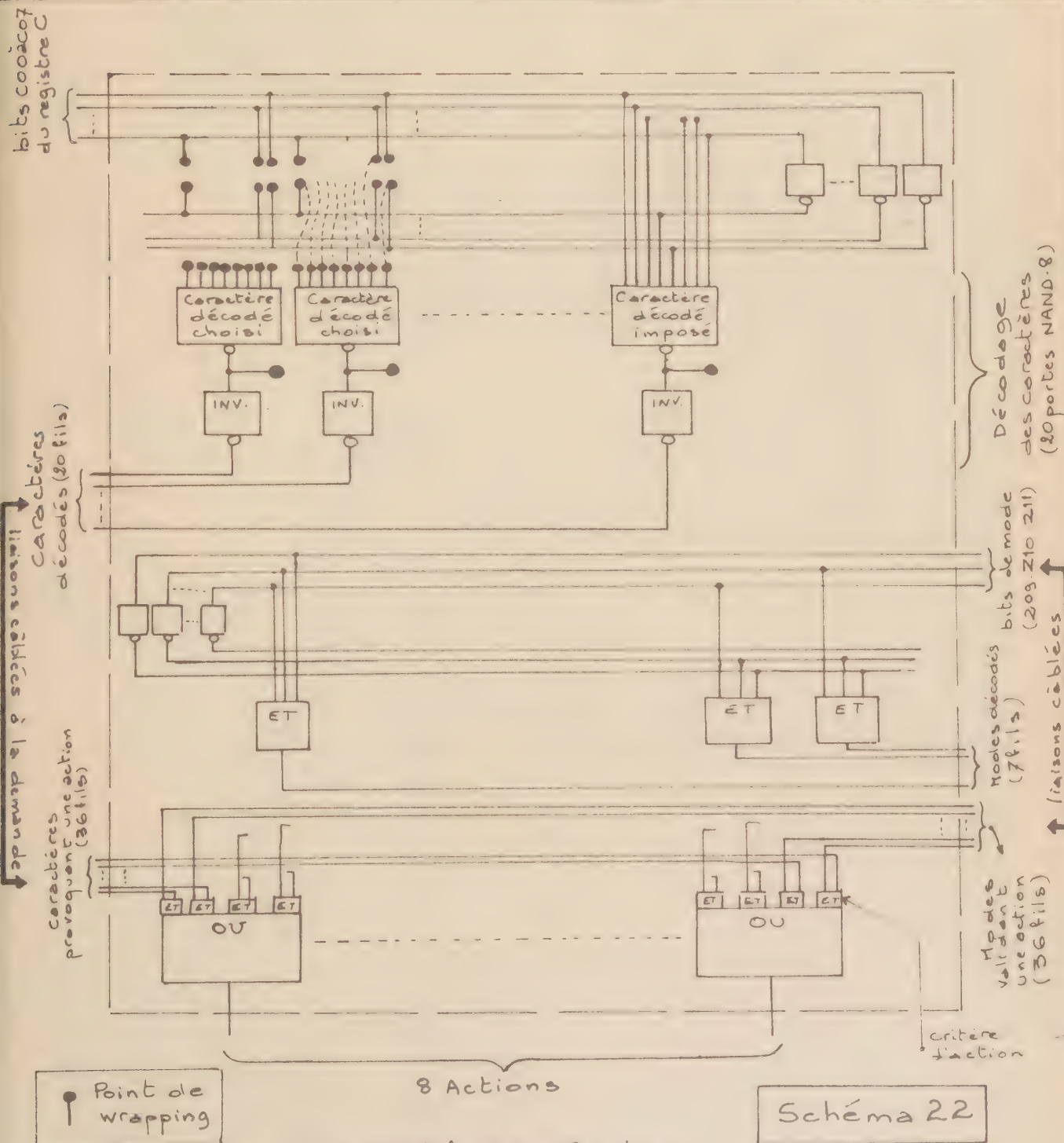
82

03/07/1968

Il faudra donc tenir compte dans l'élaboration d'une configuration donnée du CLM des restrictions suivantes :

- Nombre maximum des modes :
7+mode transparent
- Nombre maximum de caractères décodés :
20 dont 10 choisis et 10 imposés
- Nombre maximum de critères d'action :
défini par le tableau ci-dessus
- Seules les actions 1, 7 et 8 peuvent être exploitées dans des conditions autre que la réception synchrone (en particulier à l'émission).

Le schéma n°22 définit le principe de la carte de décodage.



Dispositif de décodage
des caractères spéciaux.

Spécifications fonctionnelles pour contrôleur de lignes à mémoire	4 EI FS 4202	cont 86	page 85

III-7

Mots de statut

Dans certaines conditions, un cycle mémoire supplémentaire est effectué pour mettre à jour un "mot de statut" situé à une adresse fixe en mémoire. Ce mot a pour rôle de mémoriser un évènement (table pleine, erreur de parité, caractère spécial reconnu) en attendant que le calculateur, prévenu par une interruption de programme, vienne en prendre connaissance.

III-7-1.

Structure

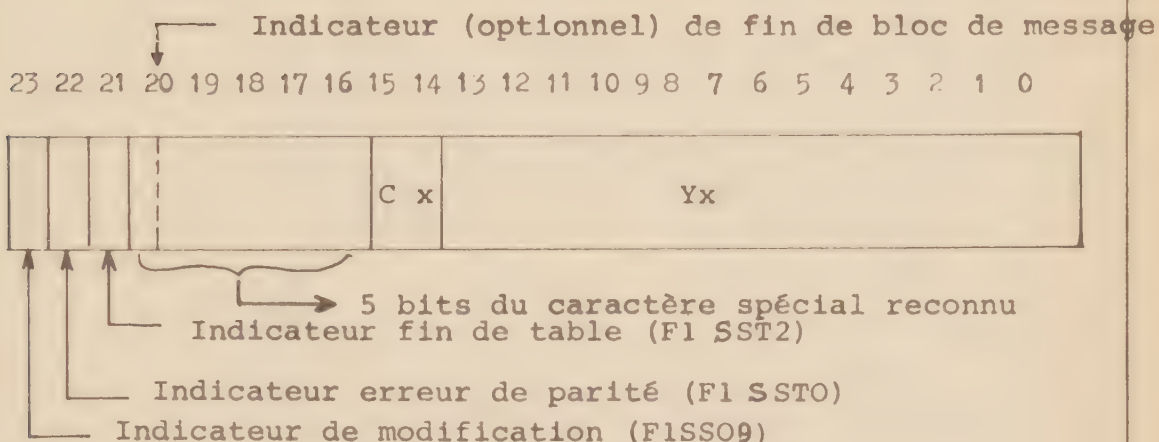
La structure du mot de statut dépend de la fonction (émission ou réception) des lignes.

III-7-1-1.

Réception

Il y a un mot de statut par ligne et une interruption de programme pour 8 lignes. On stocke dans le mot de statut les données suivantes :

G. YON	approuvé par	A			4 EI FS 4202	86	85
03/07/1968		B					



On pourra éventuellement personnaliser les interruptions de programme et obtenir une interruption par ligne.

Remarques :

- Les zones Yx et Cx permettent de retrouver immédiatement le caractère concerné par la modification du mot de statut (caractère atteint d'une erreur de parité, caractère cadré en fin de table, ou caractère spécial reconnu).
- Les 5 bits du caractère spécial reconnu peuvent être choisis parmi les 8 bits de ce caractère.

Ainsi, par exemple dans le cas du code ASCII-ISO à 7 bits (b1, b2 ----, b7), on obtient un numérotage de 0 à 17 (octal) des caractères de communications en transférant les bits b4, b5, b3, b2, b1 dans cet ordre, dans les cases 20 à 16 du mot de statut.

III-7-1-2.

Emission

Il y a également un mot de statut par ligne.

La structure de ce mot est la même qu'à la réception mais le bit 22 (erreur de parité) n'est jamais utilisé.

On se réserve ainsi, grâce à cette structure uniforme, la possibilité d'utiliser autant de lignes que l'on veut soit à l'émission, soit à la réception.

III-7-2.

Adresse

Ces mots de statut occupent les cases de mémoire 1000₈ à 1177₈ (relativement au début de la mémoire affectée au CLM).

G. YON

approuvé par

REV

A

B

4 EI FS 4202

88

87

03/07/1968

Leur adresse est donnée par la configuration suivante : (adresse de la ligne + 1000_8) :

8	7	6	5	4	3	2	1	0
1	0	BO8	BO7	BO6	BO5	BO4	BO3	BO2

Générateur d'adresses

III-7-3.

Exploitation

Chaque fois qu'il y a modification du mot de statut, une interruption de programme est générée. Le calculateur, ainsi prévenu, vient tester les bits 23 des 8 mots de statut associés à la dite interruption de programme pour déterminer la ligne concernée.

Le CLM génère donc 16 interruptions de programme (pour une configuration à 1 interruption pour 8 lignes).

La remise à jour de ces mots de statut après leur exploitation est effectuée par software.

IV. PERFORMANCES

Le contrôleur de lignes à mémoire a été conçu pour réaliser la concentration et la diffusion des messages sous le contrôle d'un calculateur.

Selon le schéma 1 page 6, le CLM peut travailler de façon autonome sur un bloc mémoire indépendant ou partager la mémoire du calculateur selon une procédure de "cycle volé", le CLM ayant la priorité d'accès la plus élevée.

Les taux d'occupation de la mémoire par le CLM permettront de choisir entre l'une des deux solutions.

IV.1. Evaluation des taux d'occupation de la mémoire par le CLM

Le traitement d'un bit courant demande les cycles mémoire suivants (voir schéma 13 page 49)

S01 : lecture du mot de contrôle C0
S02 : lecture du mot courant C
S04 : réécriture du mot courant C
S08 : réécriture du mot de contrôle C0.

A la fin de chaque caractère, deux cycles mémoire supplémentaires permettent de réaliser les traitements nécessaires à ce stade (voir schéma 13 page 49) :

S03 : lecture du mot courant C1
S07 : réécriture du mot courant C1.

En fin de table, deux cycles de lecture permettent de réinitialiser les mots de contrôle

S05 : lecture du mot de contrôle C2

S06 : lecture du mot de contrôle C3.

Enfin, tout évènement spécial amenant une modification du mot de statut nécessite un cycle de statut (S09) supplémentaire.

Soient m le nombre de bits par caractère, n le nombre de caractères dans une table, p le nombre d'évènements spéciaux par table et t le temps de cycle mémoire.

1. Le temps de traitement moyen par bit transmis (émission ou réception) est : en mode synchrone :

$$T' = \left(4 + \frac{2}{m} + \frac{p+2}{mn} \right) t$$

2. En émission asynchrone le traitement du bit de **start** (en fin de caractère) nécessite six cycles S01 à S04, S07 & S08 et le traitement des 2 bits de stop nécessite, en tout, deux cycles S01 et S08. Le temps de traitement moyen par bit transmis est donc en émission asynchrone :

$$T' = \left(4 + \frac{2}{mn} + \frac{p}{mn} + \frac{6}{m} + \frac{4}{m} \right) t$$

soit $T' = \left(4 + \frac{10}{m} + \frac{p+2}{mn} \right) t$

G. YON

Approuvé par

A
B

4 EI FS 4202

9I

90

08/09/1969

3. En réception asynchrone, seul le bit de start nécessite deux cycles supplémentaires S01 & S08. Le temps de traitement moyen par bit transmis est donc en réception asynchrone.

$$T' = \left(4 + \frac{2}{m} + \frac{2}{mn} + \frac{p}{mn} + \frac{2}{m} \right) t$$

soit

$$T' = \left(4 + \frac{4}{m} + \frac{p+2}{mn} \right) t$$

Exemples d'application

1. Caractères 7 bits + parité transmis en mode synchrone et rangés à 16 caractères par table : dans une mémoire de temps de cycle 1,6 microseconde

$$\begin{aligned} m &= 8 \\ n &= 16 \\ t &= 1,6 \mu s \end{aligned}$$

Si l'on a 1 caractère spécial par table et une erreur de parité par table, compte-tenu de l'évènement spécial "fin de table", on aura $p=3$.

$$\text{d'où } T' = \left(4 + \frac{2}{8} + \frac{5}{128} \right) 1,6 \mu s$$

$$T' \approx \left(4 + \frac{2}{8} \right) 1,6 \mu s$$

$$T' = 4,29 \times 1,6 \mu s$$

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire.

4 EI FS 4202

cont	page
93	92

On remarque que les temps de traitement en fin de table et à la suite d'un : "événement spécial" sont négligeables (1% du temps de traitement total).

2. Mêmes conditions en émission asynchrone (caractères de 7 bits + parité + 1 start + 2 stop, soient 11 moments :m= 11) :

$$T = (4 + \frac{10}{11} + \frac{5}{11 \times 16}) 1,6 \mu s$$

$$T' \approx (4 + \frac{10}{11}) 1,6 \mu s \quad (\text{à } 0,6\% \text{ près})$$

$$T' = 4,90 \times 1,6 \mu s$$

3. Mêmes conditions en réception asynchrone (11 moments)

$$T' = (4 + \frac{4}{11} + \frac{5}{11 \times 16}) 1,6 \mu s$$

$$T' \approx (4 + \frac{4}{11}) 1,6 \mu s \quad (\text{à } 0,6\% \text{ près})$$

$$T' = 4,36 \times 1,6 \mu s$$

Fait par G. YON

approuvé par

REV

A

B

4 EI FS 4202

cont	page
93	92

08/09/1969

IV.2 Taux d'occupation de la mémoire de concentration diffusion du CLM par le calculateur.

Le calculateur doit intervenir sur le bloc
mémoire du CLM pour :

- lire le contenu d'un mot courant d'un message
en vue du traitement de ce message
- réinitialiser le contenu des mots de contrôle
C2 & C3 à chaque fin de table
- prendre en compte le mot de statut à chaque
"évènement spécial".

Comme précédemment, le temps d'occupation mémoire
dû au calculateur sera ramené au niveau du bit :

- lecture du mot courant (contenant 24 bits)
(1 cycle) : $T''1 = \frac{t}{24}$
- Ecriture de deux mots de contrôle en fin de table
(tous les mn bits) :

$$T''2 = \frac{2t}{mn}$$

- Lecture du mot de statut (tous les pxmn bits)

$$T''3 = \frac{t}{pmn}$$

Soit un temps total

$$T'' = \left(\frac{1}{24} + \frac{2p+1}{pmn} \right) t$$

G. YON

approuvé par

A
B

A

B

4 EI FS 4202

94

93

08/09/1969

En reprenant les exemples du paragraphe IV.1, on trouve les temps d'occupation suivants :

$$1- T'' = \left(\frac{1}{24} + \frac{7}{384} \right) \times 1,6\mu s = 0,06 \times 1,6\mu s$$

$$2- T'' = \left(\frac{1}{24} + \frac{7}{528} \right) \times 1,6\mu s = 0,05 \times 1,6\mu s$$

$$3- T'' = \left(\frac{1}{24} + \frac{7}{528} \right) \times 1,6\mu s = 0,05 \times 1,6\mu s$$

IV.3, Débit global moyen d'un CLM.

Compte tenu des résultats établis précédemment, on voit que le temps d'occupation réel de la mémoire pour la concentration et la diffusion des données est, pour chaque bit de message : $T' + T''$ soit :

1. En émission ou réception synchrone

$$T = \left(\frac{97}{24} + \frac{p^2 + 2pn + 4p + 1}{pmn} \right) t$$

2. En émission asynchrone

$$T = \left(\frac{97}{24} + \frac{p^2 + 12pn + 4p + 1}{pmn} \right) t$$

3. En réception asynchrone

$$T = \frac{97}{24} + \frac{p^2 + 4pn + 4p + 1}{p_{min}} t$$

Les débits globaux moyens sont donnés par les quantités inverses des quantités ci-dessus :

En reprenant les exemples déjà choisis, on trouve les débits globaux moyens suivants :

1. Emission ou réception synchrone

$$D = \frac{1}{T} = \frac{10^6}{4,35 \times 1,6}$$

$$D = 143\ 600 \text{ bauds}$$

2. Emission asynchrone

$$D = \frac{1}{T} = \frac{10^6}{4,95 \times 1,6}$$

$$D = 126\ 300 \text{ bauds}$$

3. Réception synchrone

$$D = \frac{1}{T} = \frac{10^6}{4,41 \times 1,6}$$

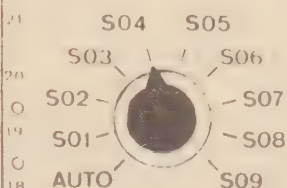
$$D = 141\ 700 \text{ bauds}$$

Ces débits maximums supposent que le traitement des messages est fait par un calculateur dont la mémoire de travail est indépendante de la mémoire de concentration diffusion du CLM.

Spécifications fonctionnelles pour					4 EI FS 4202		cont	page	
contrôleur de lignes à mémoire							97	96	
On a vu, néanmoins, que le CLM et le calculateur pouvaient travailler en partage de temps et selon un régime de priorités sur la même mémoire, dans la mesure où les taux d'occupation calculés par les formules ci-dessus le permettent.									
fait par		approuvé par		REV	A		4 EI FS 4202	cont	page
08/09/1969					B				

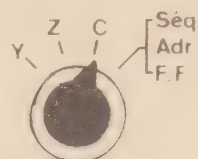
Y	Z	C	Séq Adr FF	
BX	B	C23	ECR	23
BX	B	C22	ETB	22
BX	B	C21	CSP	21
BX	B	C20	PTY	20
PX	I/P	C19	Adr 2 ⁶	19
P	E	C18	Adr 2 ⁵	18
R	E	C17	Adr 2 ⁴	17
M	S	C16	Adr 2 ³	16
E/R	CX	C15	Adr 2 ²	15
A/S	CX	C14	Adr 2 ¹	14
YX13	C	C13	Adr 2 ⁰	13
YX12	C	C12	SCC	12
YX11	MO	C11	SCB	11
YX10	MO	C10	SCA	10
YX9	MO	C09	S09	09
YX8	NX8	C08	S08	08
YX7	NX7	C07	S07	07
YX6	NX6	C06	S06	06
YX5	NX5	C05	S05	05
YX4	NX4	C04	S04	04
YX3	NX3	C03	S03	03
YX2	NX2	C02	S02	02
YX1	NX1	C01	S01	01
YX0	NX0	C00	S00	00

— Voyants lumineux



← Commutateur à
10 positions

CONSOLE DE
VISUALISATION



← Commutateur
4 positions



← Interrupteur à
3 positions

Schéma 23

Fait par
G. YON

approuvé par

REV

C

4 EI FS 4202

98

97

15 avril 1969

V. CONSOLE ET PROCEDURES DE TEST

Le contrôleur de lignes à mémoires est muni d'une carte de visualisation qui joue le rôle de console.

Cette carte de visualisation permet une mise au point plus facile du CLM qui peut ainsi être testé indépendamment du calculateur. De même cette carte est utilisée en maintenance pour rechercher une panne éventuelle de software ou de hardware.

V.1. Présentation

La carte de visualisation est une carte au même standard que les autres cartes du CLM (voir chapitre VI).

Elle comporte cependant, une mécanique supplémentaire permettant la fixation de 24 voyants de visualisation et de deux commutateurs permettant de réaliser un certain nombre de tests.

Le schéma 23 représente la face avant de la carte de visualisation.

En regard de cette face avant, une étiquette autocollante placée sur le module standard du CLM rappelle la signification des 24 voyants en fonction de la position des deux commutateurs.

Le premier de ces deux commutateurs permet de choisir la séquence à la fin de laquelle on désire afficher le contenu du registre sélectionné par le second commutateur.

Au temps T5E de la séquence choisie le contenu du registre de visualisation qui commande les voyants lumineux est remis à zéro; à l'arrivée du signal "fin de cycle mémoire" (MRLS) le contenu du registre à visualiser est transféré dans le registre de visualisation.

Le second commutateur permet de sélectionner les registres Y, Z ou C, ou l'ensemble des données suivantes:

G. YON

approuvé par

REV

4 EI FS 4202

99

98

12/09/1969

- Ensemble des filps flops de séquence
- Etat du compteur de temps (SCA, SCB, SCC)
- Adresse de la ligne en cours de traitement
- Flips Flops de parité (PTY ou STO), de caractère spécial (CSP ou ST1), de fin de table (ETB ou ST2) et de fin de caractère (ECR).

V.2. Procédures de test

Les tests hardware du CLM se font par utilisation de la carte de visualisation précédemment décrite qui joue le rôle de la console pour la mise au point d'un calculateur.

Toutefois, les mots de contrôle du CLM devront être rentrés en mémoire à partir de la console du calculateur.

Une ligne spécialisée permettra de rentrer des caractères à partir d'un téléimprimeur ou d'un générateur de caractère.

On pourra ainsi placer le CLM dans un certain nombre de situations typiques afin de vérifier son bon fonctionnement.

V.2.1. Test hardware

Le schéma de principe des tests hardware du CLM sera sensiblement le suivant :

1-Parcours S01→S00 par tous les chemins possibles prévus au schéma 13 page 49

Soit les chemins :

S01 - S08 - S00

S01 - S02 - S04 - S08 - S00

S01 - S02 - S03 - S04 - S08 - S00

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire-

4 EI FS 4202

cont	page
101	100

S01- S02- S03- S04- S07- S08- S00

S01- S02- S03- S04- S07- S09- S09- S00

S01- S02- S03- S04- S05- S06- S07- S08- S00

S01- S02- S03- S04- S05- S06- S07- S09- S09- S00

- Vérification de l'évolution du compteur de temps (SCA, SCB, SCC) à l'intérieur de chaque séquence; en particulier vérification de l'obtention des temps étendus T5E dans S03. (Voir timings, schéma 5 à 8, pages 23 à 26).
- 2- Examen du contenu des registres et de leur évolution au cours de chacun des cycles empruntés pour chacun des chemins ci-dessus. (Schémas 15 à 20). On examinera les divers chemins possibles à l'intérieur de chaque séquence.
- 3- Examen des actions provoquées par le décodage des caractères spéciaux reconnus par le CLM testé.
- 4- Examen des cycles de statut et de l'interruption de programme générée lors du stockage d'un nouveau mot de statut.
- 5- Contrôle du GAP par simulation de demandes en provenance des diverses lignes :
 - a- séparément
 - b- en nombre quelconque
 On vérifiera que seule l'extension prioritaire reçoit une validation et que son adresse est correcte puis que, parmi toutes les lignes demandant l'accès, la plus prioritaire est servie.

Fait par

G. YON

approuvé par

REV

4 EI FS 4202

cont	page
101	100

12/09/1969

V.2.2. Tests software

Ces tests seront réalisés grâce à un bouclage de l'émission sur la réception. On vérifiera que les tables de caractères émises sont correctement **reçues** quelles que soit les procédures et les types de transmission utilisés.

Le détail de ces tests ne sera pas envisagé dans ce document.

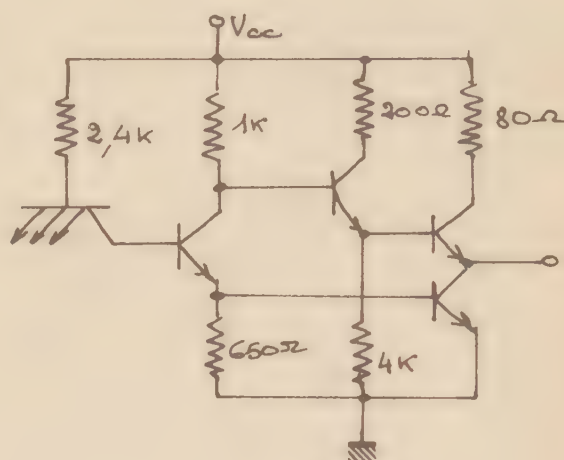
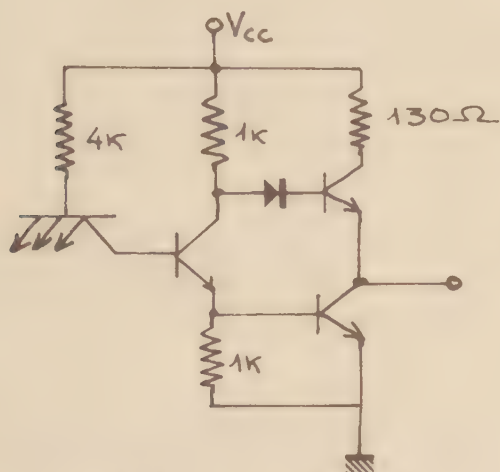
Fait par	G. YON	approuvé par						4 EI FS 4202	cont	page
	12/09/1969		REV						102	101

(HLTTL)

SUHL I

(Sylvania)

SUHL II



Schémas des
portes de base
des séries SUHL

Schéma 24

TECHNOLOGIE ET PRESENTATION
MECANIQUE -

Fait par G. YON

approuvé par

REV

4 EI FS 4202

cont	page
103	102

22/09/1969

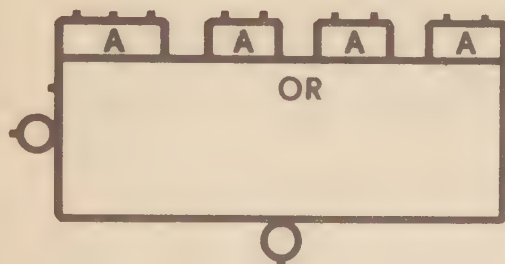
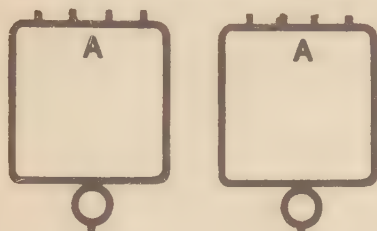
LISTE DES CIRCUITS INTEGRES UTILISES DANS LE CLM

SYMBOLES LOGIQUES

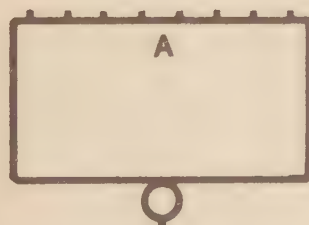
(contenus dans un même boîtier)

NUMERO DU BOITIER

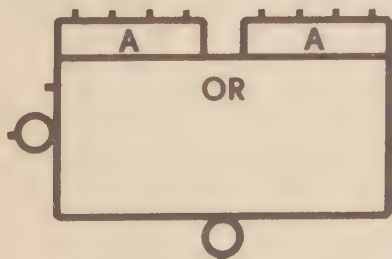
(Réf. THOMSON D.E.I.)
68A 8360
(2 x NAND à 4 entrées)



68A 8361
(1 x OU à 4 entrées
ET)



68A 8362
(1 x NAND à 8 entrées)



68A 8363
(1 x OU à 2 entrées
ET extensible)

Schéma 25

Fait par

G. YON

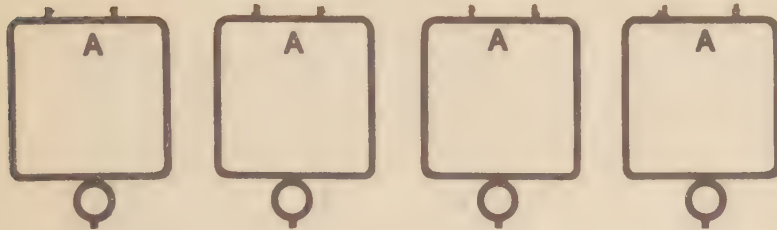
approuvé par

REV

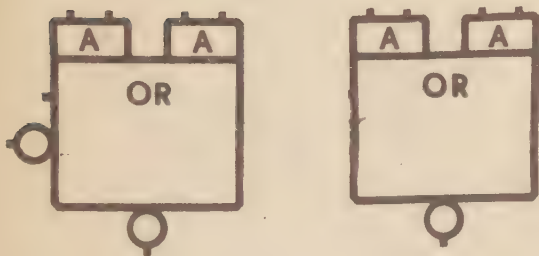
4 EI FS 4202

cont	page
104	103

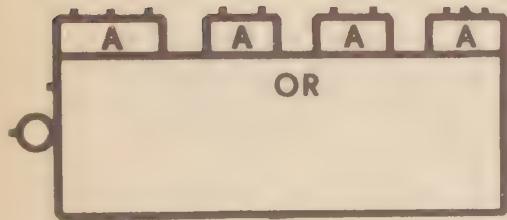
22/09/I969



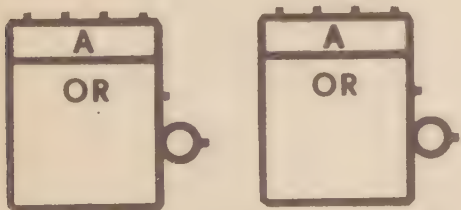
68A 8364
(4 x NAND à 2 entrées)



68A 8365
(2 x OU à 2 entrées ET)



68A 8370
(1 x extension OU à
4 entrées ET)



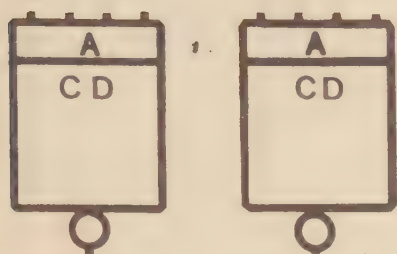
68A 8371
(2 x extensions OU
4 entrées ET)

Schéma 26

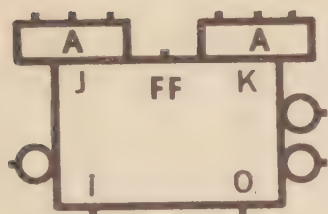
Spécifications fonctionnelles pour
contrôleur de lignes à mémoire-

4 EI FS 4202

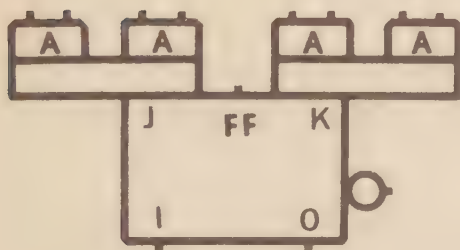
cont	page
106	105



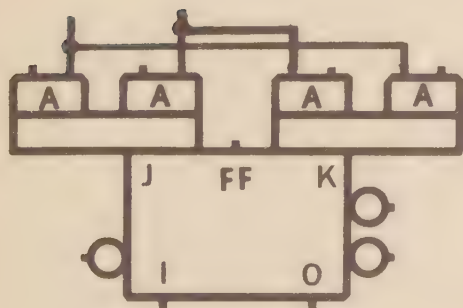
68A 8375
(2 x "Clock divers à
4 entrées ET)
(sortie NAND à fan out
élevé)



68A 8380
(Flip-Flop J.K. à entrée
ET).



68A 8381
(Flip-Flop J.K. à entrée
OU)



68A 8382
(Flip-Flop J.K. à entrée
OU avec validations
communes)

Schéma 27

Fait par
G. YON

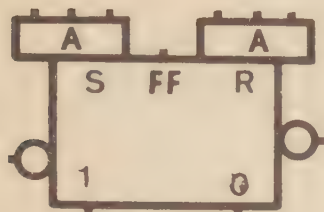
approuvé par

REV

4 EI FS 4202

cont	page
106	105

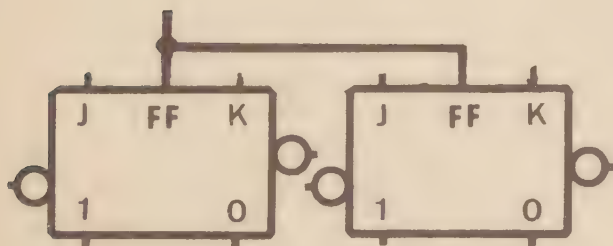
22/09/1969



78A 2330
(Flip-Flop S.R à entrées
ET)



78A 2331
(2 x Flip-Flop J.K. à
horloge séparée)



78A 2332
(2 x Flip-Flop J.K. à
horloge commune).

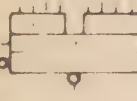
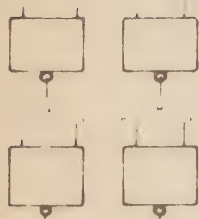
Schéma 28

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire-

4 EI FS 4202

cont
108

page
107

	1	Input		Output		7	8	9	10	over nom 1 mo (0.2 sec) cycle
		level 0	level 1	level 0	level 1					
		1	2	1	2					
 8360	1	1	1	7,5	7	25	25	10	1	
	2	1,5		7,5	10	12	12	5	6	100
	3									
	4									
 8361	1	1	1	7,5	7	25	25	10	1	
	2	1,5	2	7,5	10	12	12	5	6	7
	3									
	4									
 8362	1	1	1	7,5	7	25	25	10	1	
	2	1,5	2	7,5	10	12	12	5	6	
	3									
	4									
 8363	1	1	1	7,5	7	25	25	10	1	6
	2	1,5		7,5	10	12	12	5	6	60
	3									
	4									
 8364	1	1	1	7,5	7	22	22	10	12	120
	2	1,5		7,5	10	12	12	5	6	200
	3									
	4									

G. YON

approuvé par

REV

4 EI FS 4202

cont
108

page
107

22/09/1969

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire

4 EI FS 4202

cont page
109 108



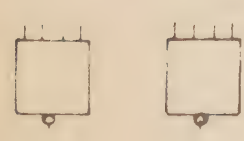
8365



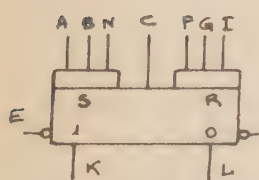
8370



8371



8375



2330

P	In put		Output		TP	TS	TF	Ta	Power max. 10 mW 50 mW 100 mW
	Level 0 1	Level 1 1	Level 0 1	Level 1 1					
1	1	1	7,5	7	16	20	10	12	90
2	1,5	2	7,5	10	14	14	5	6	100
3									
4									
1	1	1	.	.	+ 5	+ 5	+	+ 5	30
2	1,5	2	.	.	+ 5	+ 5	+ 3	+ 3	50
3									
4									
1		1	.	.	+	+ 5	+ 5	+ 5	30
2	1,5	2	.	.	+ 5	+ 5	+ 3	+ 3	50
3									
4									
1	1,5		30	30	20	20	12	12	150
2	1,5		36	60	15	15	7	8	150
3									
4									
1	1	1	10	16	20	30	8	5	40
2	1	1	20	12	20	30	18	5	40
3									
4									

G. YON

approuvé par

REV

4 EI FS 4202

cont page
109 108

22/09/1969

4 EI FS 4202

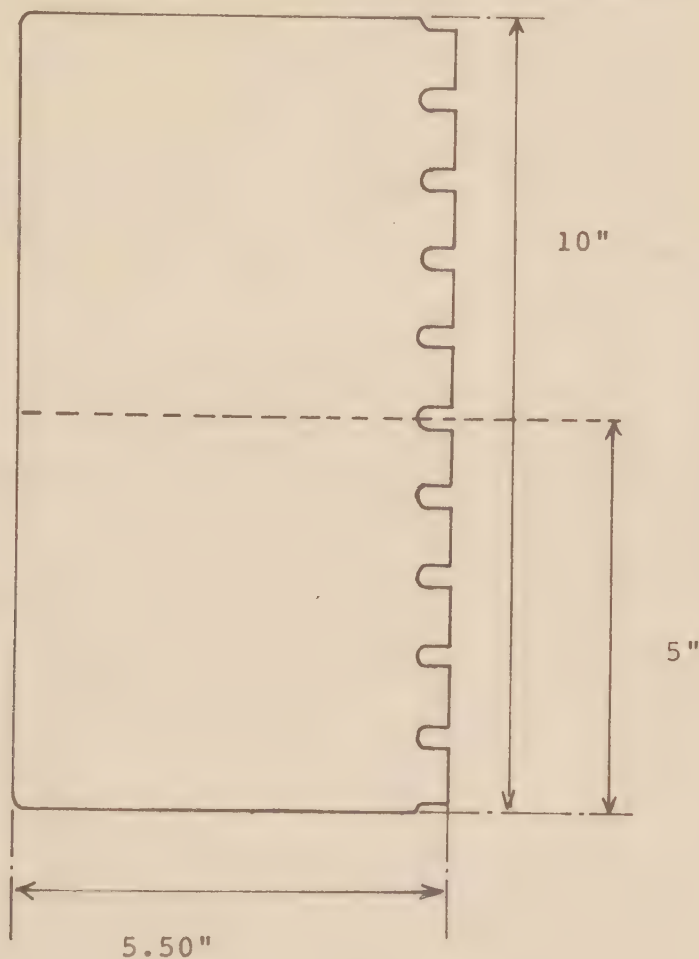
cont	page
110	109

[illegible]

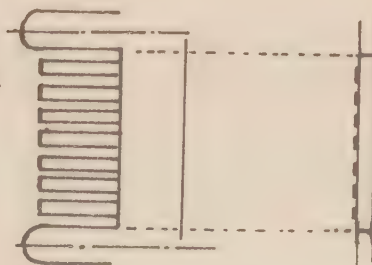
Schéma 30

5 ou 10 fichiers de
14 fiches (7 par
face)

Schéma de découpe
de la carte



Détail du
Fichier



Cotes en pouces

Fait par

G. YON

approuvé par

REV

4 EI FS 4202

cont
111

page
110

22/09/1969

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire-

4 EI FS 4202

cont	page
113	112

Les entrées ou sorties à l'état "1" sont parcourues par un courant nominal de 0,1mA = 1LPL (Leakage path Load).

VI.1.2. Composants divers.

Composants industriels classiques.

VI.1.3. Circuits imprimés.

Les circuits imprimés utilisés sont des circuits à double face à trous métallisés.

Les règles d'implantation des composants et de conception du circuit imprimé sont définies par le document 68A 990.802 Section I.

La plaquette du circuit imprimé est constituée de verre époxy 1/16 de pouce auto-extinguible.

Les connecteurs destinés à recevoir les cartes du CLM sont des connecteurs à 14 broches destinés à recevoir les cartes à fichier (Schéma 30, page 110).

Fait par

G. YON

approuvé par

REV

4 EI FS 4202

cont	page
113	112

22/09/1969

VI.2. Format des cartes.

Les cartes sont de l'un des deux formats suivants :

Nombre de Fichiers de 14 fiches	Largeur (côté fichier)	LONGUEUR
5	5 pouces	5,50 pouces
10	10 pouces	5,50 pouces

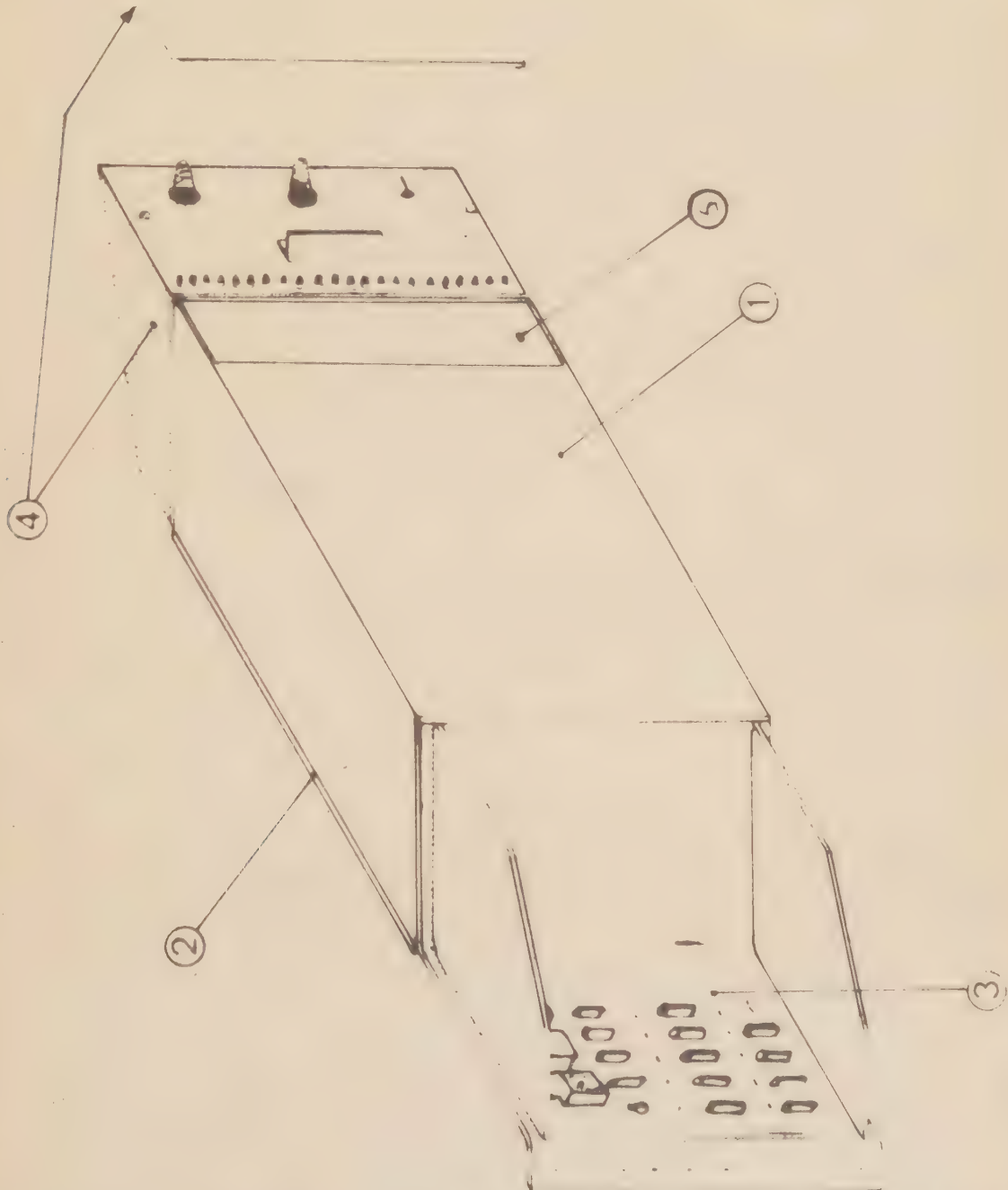
Le Schéma 30, page 110 donne le schéma de la carte standard.

Spécifications fonctionnelles pour
contrôleur de lignes à mémoire

EI FS 4202

cont
115

page
114



- 1 Module standard (31 Cartes)
- 2 Panneau arrière (Connecteurs 14 broches)
- 3 Mécanisme support de connecteurs
- 4 Support carte de visualisation
- 5 Etiquette (VOIR page 97)

établi par

G. YON

approuvé par

REV

EI FS 4202

cont
115

page
114

22/09/1969

Présentation mécanique

La mécanique destinée à recevoir le sous-ensemble CLM constitue un tout constitué de 3 éléments principaux :

- un panier destiné à recevoir les cartes constituant le CLM
- un support de connecteurs permettant de mettre le CLM en relation avec les réseaux de transmission
- une mécanique destinée à recevoir la carte console de visualisation

Le schéma 31 page 114 donne une vue de l'ensemble complet .

Panier logique CLM

L'ensemble du contrôleur de lignes et des 128 extensions lignes possibles est contenu dans un panier contenant 32 emplacements de cartes au grand format (10" X 5,50").

Chaque emplacement peut recevoir une carte au format 10" x 5,50" ou deux cartes au format 5" x 5,50".

Support de connecteurs

Sur la partie gauche de ce panier, une mécanique spéciale est destinée à recevoir 20 prises de 25 broches normalisées CCITT et 4 prises de 75 broches.

Les prises 75 broches sont destinées à permettre l'intercâblage entre le panier CLM et la baie télégraphique qui reçoit les cartes d'émission-réception télégraphique et les extensions permettant le raccordement au réseau Telex.

Les prises 25 broches sont des prises normalisées CCITT permettant le raccordement aux modems (modulateurs, démodulateurs) en vue de l'établissement de liaisons sur voies téléphoniques.

VI. 3. 3.

Support de carte de visualisation

Cette partie mécanique est destinée à recevoir la carte de visualisation qui peut rester à demeure ou être utilisé seulement comme outil de maintenance.

IV - ANNEXES

IV.1 - CODES NORMALISES PAR LE CCITT

IV.2 - REFERENCES DES NORMES ELECTRIQUES TELEGRAPHIQUES ET TELEPHONIQUES.

IV.3 - EXEMPLE DE SCHEMAS LOGIQUES.

IV.4 - BIBLIOGRAPHIE

IV.1		CODE	BAUDOT	CCITT 2	
1	11000	A	-	(Tiret)	
2	10011	B	?		
3	01110	C	:		
4	10010	D	+	(Qui est là ?) → déclenchement des indicatifs	
5	10000	E	3		
6	10110	F	é	(Réservé)	} é, h, % utilisés en FRANCE seulement
7	01011	G	h	(Réservé)	
8	00101	H	%	(Réservé)	
9	01100	I	8		
10	11010	J	⌚	(Appel)	
11	11110	K	(		
12	01001	L	)		
13	00111	M	.		
14	00110	N	,		
15	00011	O	9		
16	01101	P	0	(Zéro)	
17	11101	Q	1		
18	01010	R	4		
19	10100	S	'	(Apostrophe)	
20	00001	T	5		
21	11100	U	7		
22	01111	V	=		
23	11001	W	2		
24	10111	X	/	(Barre de fraction)	
25	10101	Y	6		
26	10001	Z	+	(Addition)	
27	00010	←		Retour chariot	
28	01000	≡		Interligne	
29	11111			Inversion Lettres	
30	11011			Inversion chiffres	
31	00100			Espace entre mots	
32	00000			Réservé (attente)	

IV.1

TABLEAU DU CODE CCITT N° 5

								0	0	0	0	1	1	1	1
								0	0	1	1	0	0	1	1
								0	1	0	1	0	1	0	1
b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	Row	0	1	2	3	4	5	6	7
0	0	0	0	0	0	0		NUL	(TC ₇) DLE	SP	0	(a) 3	P	4	p
0	0	0	1	1	1	1		(TC ₁) SOH	DC ₁	!	1	A	O	a	q
0	0	1	0	2	2	2		(TC ₂) STX	DC ₂	" 6	2	B	R	b	r
0	0	1	1	3	3	3		(TC ₃) ETX	DC ₃	£ 2 7	3	C	S	c	s
0	1	0	0	4	4	4		(TC ₄) EOT	DC ₄	\$ 2 7	4	D	T	d	t
0	1	0	1	5	5	5		(TC ₅) ENQ	(TC ₈) NAK	3	5	E	U	e	u
0	1	1	0	6	6	6		(TC ₆) ACK	(TC ₉) SYN	&	6	F	V	f	v
0	1	1	1	7	7	7		BEL	(TC ₁₀) ETB	' 8	7	G	W	g	w
1	0	0	0	8	8	8		FE ₀ (BS)	CAN	(	8	H	X	h	x
1	0	0	1	9	9	9		FE ₁ (HT)	EM	)	9	I	Y	i	y
1	0	1	0	10	10	10		FE ₂ (LF)	SUB	*	: 8	J	(2	J	z
1	0	1	1	11	11	11		FE ₃ (VT)	ESC	+	; 8	K	(L 3	k	3
1	1	0	0	12	12	12		FE ₄ (FF)	IS ₄ (FS)	,	<	L	3	l	3
1	1	0	1	13	13	13		FE ₅ (CR)	IS ₃ (GS)	-	=	M	(J) 3	m	3
1	1	1	0	14	14	14		SO	IS ₂ (RS)	.	>	N	4 6	n	- 4 5
1	1	1	1	15	15	15		SI	IS ₁ (US)	/	?	O	-	o	DEL

DESIGNATION DES COMMANDES

ACK	(Acknowledge) : Accusé de réception
BEL	(Bell) : Sonnerie
BS	(Backspace) : Retour arrière
CAN	(Cancel) : Annulation
CR	(Carriage return) : Retour de chariot
DC	(Device control) : Commande d'appareil auxiliaire
DEL	(Delete) : Oblitération
DLE	(Data link escape) : Echappement transmission
EM	(End of medium) : Fin de support
ENQ	(Enquiry) : Demande
EOT	(End of transmission) : Fin de communication
ESC	(Escape) : Echappement
ETB	(End of transmission block) : Fin de bloc de transmission
ETX	(End of text) : Fin de texte
F	(Function) : Fonction
FE	(Format effector) : Commande de mise en page
FF	(Form feed) : Présentation de formule
FS	(File separator) : Séparateur de fichier
GS	(Group separator) : Séparateur de groupe
HT	(Horizontal tabulation) : Tabulation horizontale
IS	(Information separator) : Séparateur d'information
LF	(Line feed) : Interligne

NAK	(Negative acknowledge) : Accusé de réception négatif
NL	(New line) : Retour à la ligne
NUL	(Null) : Nul
RS	(Record separator) : Séparateur d'article
SI	(Shift-in) : En code
SO	(Shift-out) : Hors code
SOH	(Start of heading) : Début d'en-tête
SP	(Space) : Espace
STX	(Start of text) : Début de texte
SUB	(Substitute) : Substitution
SYN	(Synchronous idle) : Synchronisation
TC	(Transmission control) : Commande de transmission
US	(Unit separator) : Séparateur de sous-article
VT	(Vertical tabulation) : Tabulation verticale

On trouvera dans " Communication of the A.C.M.
(volume 11/ Numéro 4) "le tableau du code EBCDIC utilisé
en transmission de données.

On trouvera les normes précises dans les "livres" du CCITT publié par l'Union Internationale des Télécommunications:

- Livre blanc Genève - 1964 (3ème assemblée)
- Livre blanc Mar del Plata - 1968 (4ème assemblée)

On se reportera en particulier au Tome VIII "Transmission de données".

Nous citerons, en particulier, les avis suivants:

- Avis V3, V4 : Code CCITT n°5
- Avis V41 : Système de protection contre les erreurs indépendant du code utilisé.

On consultera par ailleurs:

- "Data Communication Control Procédures for US - ASCII Code" dans les "Communications of the ACM" volume 12/ Numéro 3/Mars 69

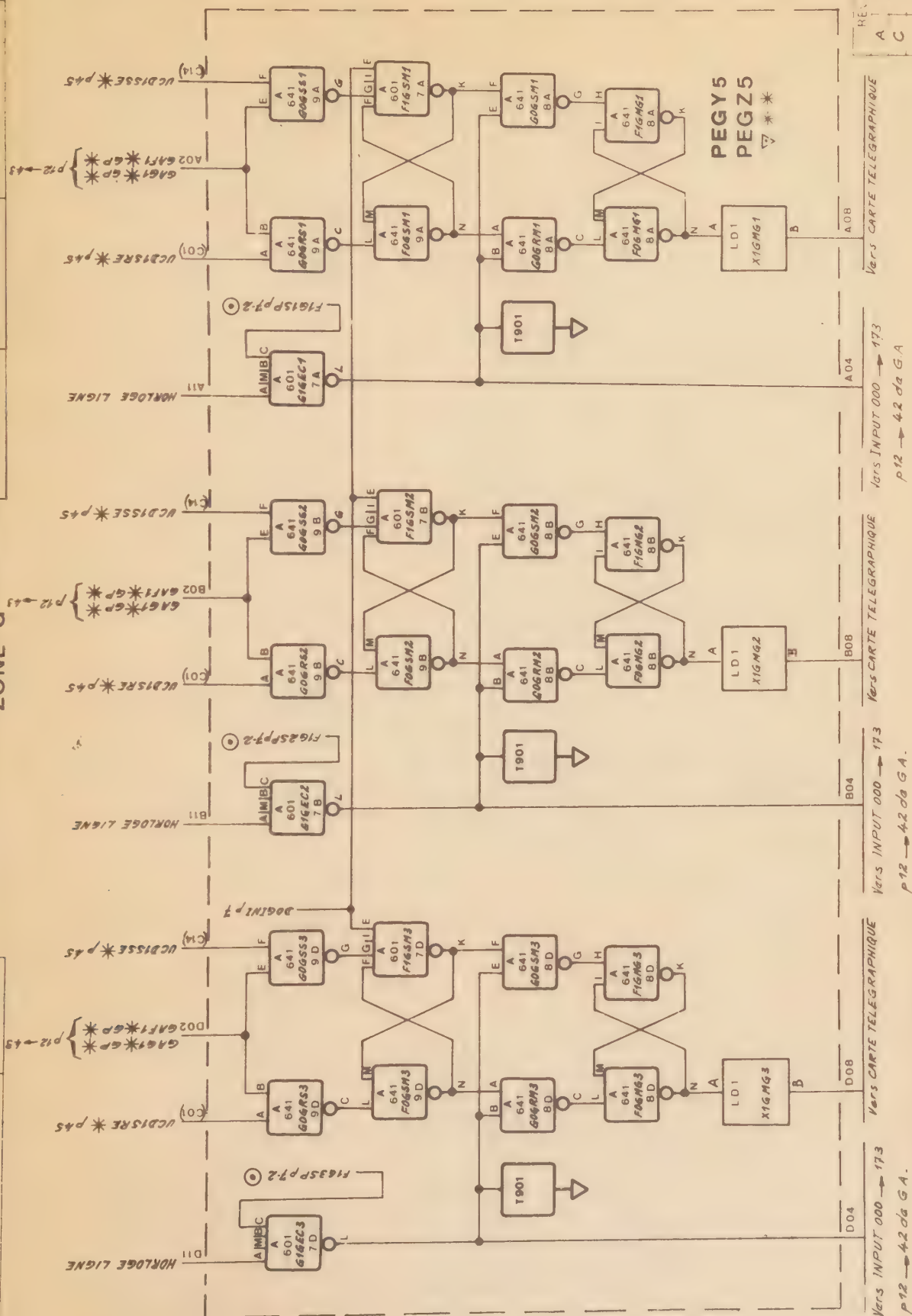
IV.2 - Références des normes électriques télégraphiques et téléphoniques.

On se reportera aux Livres du CCITT (déjà cités) et en particulier au tome VII pour la "technique télégraphique" et au tome VIII pour ce qui concerne la téléphonie.

Nous citerons les avis:

- V23 - Modems 600/1200 bauds
- V24 - Normes des types et des formes des signaux à échanger sur une fonction entre l'équipement terminal de traitement de données et l'équipement de transmission de données.

IV.3 - Exemples de schémas logiques.



4) Pour PEGY5 uniquement.

1) * Au choix de l'ingénieur d'affaire
 2) * L'identification est laissée
 au choix de l'ingénieur d'affaire
 3) Toutes les entrées non utilisées sont réunies au +3.6V

Approuvé par	TITRE	N°	ÉMISSION	TELEGRAPHIQUE	7-2.7-1
MASSON	MASSON	78C 101 359	TELEGRAPHIQUE	7-2.7-1	7-2.7-1

1

2

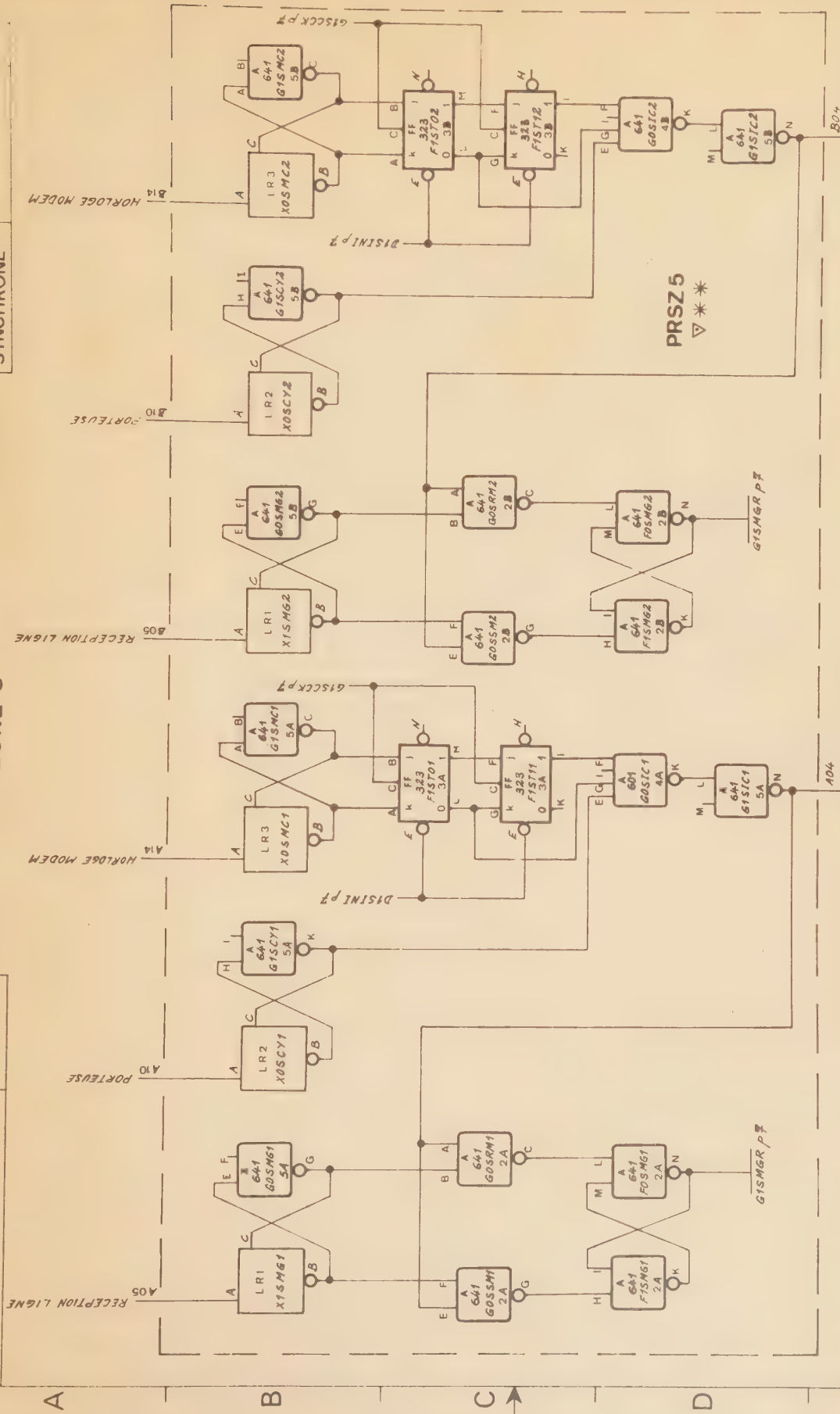
3

4

5

6

7



Vers INPUT 000 → 173
p 12 → 4.2 de G.A.

Vers INPUT 000 → 173
p 12 → 4.2 de G.A.

1°) ∇** L'identification est laissée
au choix de l'ingénieur d'affaire

2°) * Au choix de l'ingénieur d'affaire

3°) Toutes les entrées non utilisées sont réunies au +3.6V

4°) Voir p 8 pour détail de LR1, LR2, LR3.

Fait par GUERIN
le 17.07.69.

Approuvé par

TITRE RECEPTION
SYNCHRON

78C101358

7-2 7-1

IV.4 - BIBLIOGRAPHIE

- Livres bleus et blancs du CCITT (Union Internationale des Télécommunications - Genève).
- Téléinformatique (colloque international sur la téléinformatique - Paris 1969). Editions Chiron (2 tomes).
- La Télégraphie et le Télex - D. FAUGERAS Editions Eyrolles.
- Design of Real Time Computer Systems James Martin - (Prentice Hall 1967).
- Machines de traitement de l'informatique (2 tomes parus) - P. DEBRAINE - (Masson Editeur):

Ces ouvrages contiennent des bibliographies abondantes et souvent très récentes sur l'ensemble des problèmes d'informatique.

Nous avons pour notre part consulté avec profit de nombreux éléments de cette bibliographie.

V - CONCLUSION.

En renouvelant nos remerciements aux personnes qui nous ont aidé dans cette étude, nous tenons à souligner l'intérêt que nous avons trouvé dans la conception puis la réalisation de ce système.

Notre espoir, déjà partiellement satisfait, est que ce contrôleur qui apporte quelques idées nouvelles se révèle, dans la pratique, un outil intéressant en téléinformatique.

